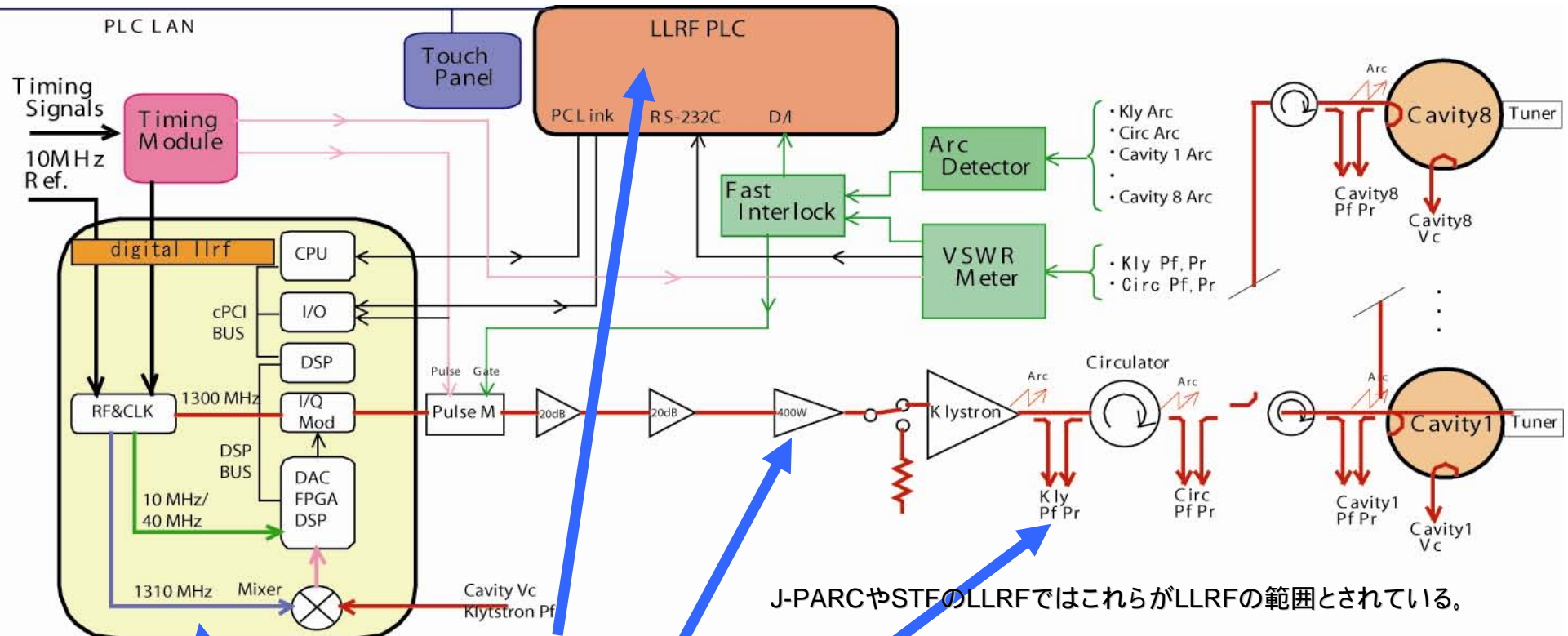


デジタル低電力RF(LLRF)系の現状

道園真一郎
KEK

- LLRF系の範疇
- なぜデジタルFB？
- フィードバック系およびその外乱要因
- KEKでのデジタルフィードバック系の実績
- 他の施設のデジタル系の紹介
 - ILC
 - JLAB
 - DESY
 - CORNELL
- ERLテスト施設用のLLRF系

LLRF系の範囲 (@J-PARC linac, STF)

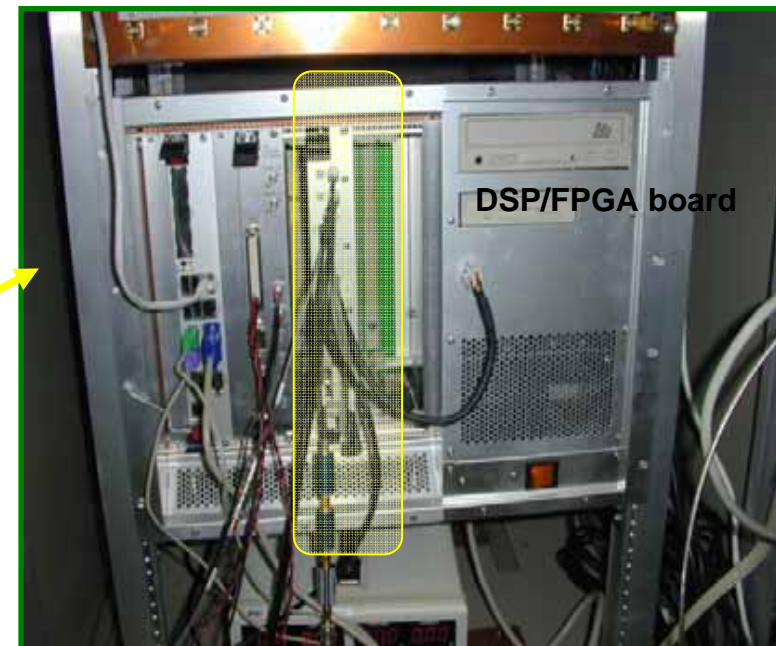
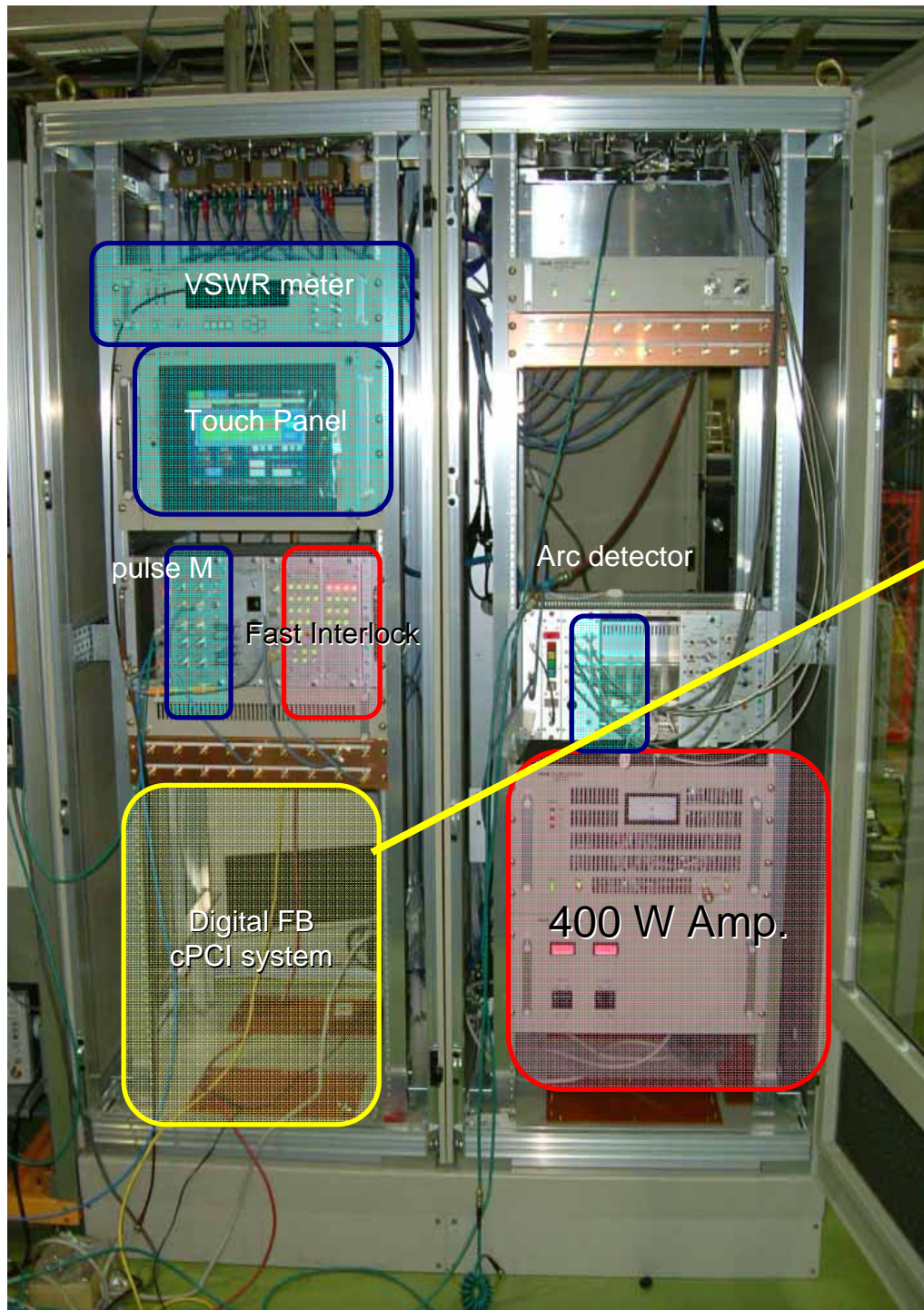


J-PARCやSTFのLLRFではこれらがLLRFの範囲とされている。

- 機器安全系 (MPS)
 - PLC&タッチパネル
 - 速いインターロック: アーク検出、高周波反射
 - 通常のインターロック: 上位の安全系、水、HV
- 高周波モニター系
 - クライストロン出力、空洞入力、空洞反射、空洞電界
- 高周波増幅系
- デジタルフィードバック系

LLRF system @STF Phase1

J-PARC based LLRF system
Digital FB system using a FPGA board
LLRF PLC system control digital FB system



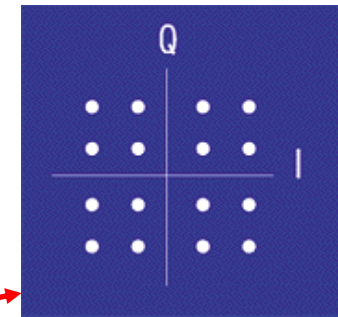
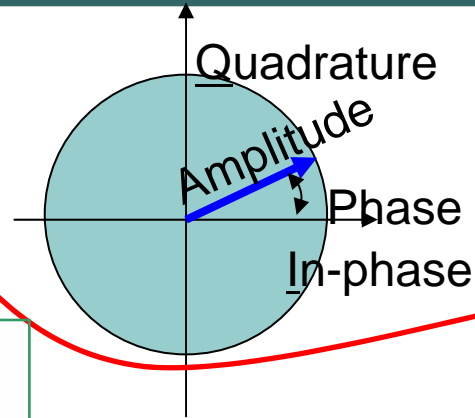
デジタル低電力RF(LLRF)系の現状

道園真一郎
KEK

- LLRF系の範疇
- ■ なぜデジタルFB？
- フィードバック系およびその外乱要因
- KEKでのデジタルフィードバック系の実績
- 他の施設のデジタル系の紹介
 - ILC
 - JLAB
 - DESY
 - CORNELL
- ERLテスト施設用のLLRF系

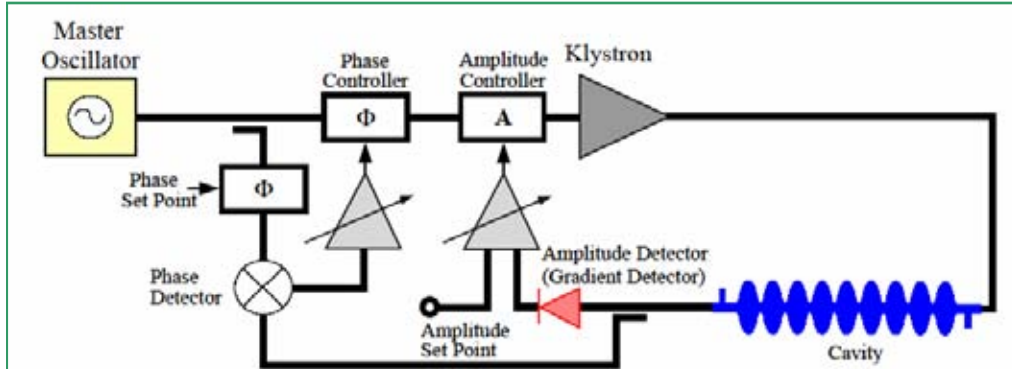
LLRFのFBシステム

	種類	振幅安定度	位相安定度
J-PARC,SNS	プロトン	±1%	±1度
ILC	電子	0.1%rms	0.1度rms
FEL	電子	0.01%rms	0.01度rms

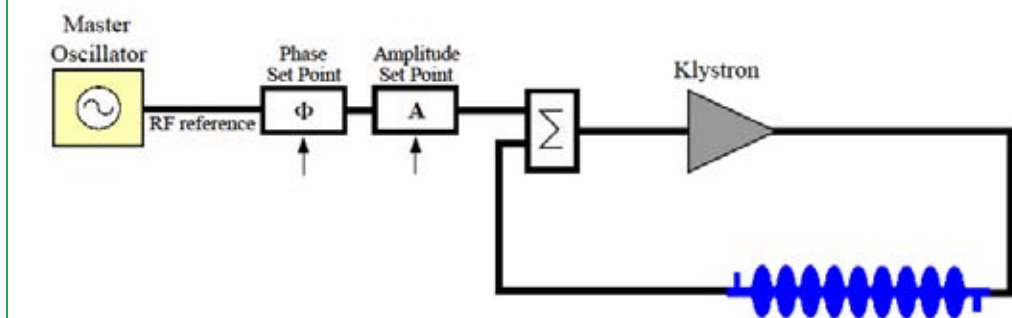


36,000,000点 16QAM

- 高周波パルス長が長い (> 100マイクロ秒)
 - ビーム長が長い (> 100マイクロ秒)
- ビームロスをも最小とするため安定化が**必要**
高周波のパルス内フィードバックも**可能**

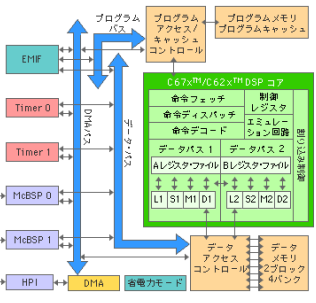


位相がパルス内で大きく変わる場合はゲインが制限
(2度変化してゲイン100なら200度)



長パルスでは電圧サグ数% 位相20度変化
ローレンツフォース離調 パルス内位相60度程度変化
IQ制御

アナログFB(~100ns)
DSP(~数μ秒)
FPGA (Field Programmable Gate Array, ~数100ns)
(ロジック回路複雑処理は向かないが単純なFB演算は可能)



最大20個のシリアルトランシーバ
600Mbps~3.125Gbps



VirtexIIと同-FPGAファブリック
=>FPGA部分の構造はVirtexIIと同じです。ただし同一ロジック規模で比較したメモリサイズはVirtexIIの平均1.5倍~2倍大きくなります。
=>アーキテクチャの詳細はこちら



最大2個のIBM PPC405コア
300Mhzで400DMIPS

目標安定度の比較

	振幅安定度	位相安定度
J-PARC(パルス、プロトン、常伝導) /SNS(パルス、プロトン、超伝導)	$\pm 1\%$	± 1 度
STF(パルス、電子、超伝導)	0.3%(rms)	0.3度(rms)
ILC(パルス、電子、超伝導)	0.07%(rms)	0.24度(rms)
X-FEL(パルス、電子、超伝導)	0.01%(rms)	0.01度(rms)
ERL(CW、電子、超伝導)	$\sim 0.01\%$ (rms)	~ 0.01 度(rms)

現在稼働中、または建設が決まっているものの中ではXFELの一部がもっとも厳しい仕様。

RF検出系等については、DESYで開発中。これまでとは違う方法が必要？。

例えば、0.01度の安定度を得るために、S/Nを0.003度とすれば、

通常のIFサンプリングでIF10MHz信号でのジッターは1ps程度。

IFにダウンコンバートするためのLO(RF+10MHz)のジッターは6fs

0.01%(-80dB以下のS/N)については、かなり難しくなる。

現状のILCに関してはJ-PARCの転用で可能。

デジタル低電力RF(LLRF)系の現状

道園真一郎
KEK

- LLRF系の範疇
- なぜデジタルFB？
- ■ フィードバック系およびその外乱要因
- KEKでのデジタルフィードバック系の実績
- 他の施設のデジタル系の紹介
 - ILC
 - JLAB
 - DESY
 - CORNELL
- ERLテスト施設用のLLRF系

Sources of Perturbations

o Beam loading

- **Beam current fluctuations**
- Pulsed beam transients
- Multipacting and field emission
- Excitation of HOMs
- Excitation of other passband modes
- Wake fields

o Cavity drive signal

- **HV- Pulse flatness**
- HV PS ripple
- Phase noise from master oscillator
- Timing signal jitter
- Mismatch in power distribution

o Cavity dynamics

- cavity filling
- settling time of field

o Cavity resonance frequency change

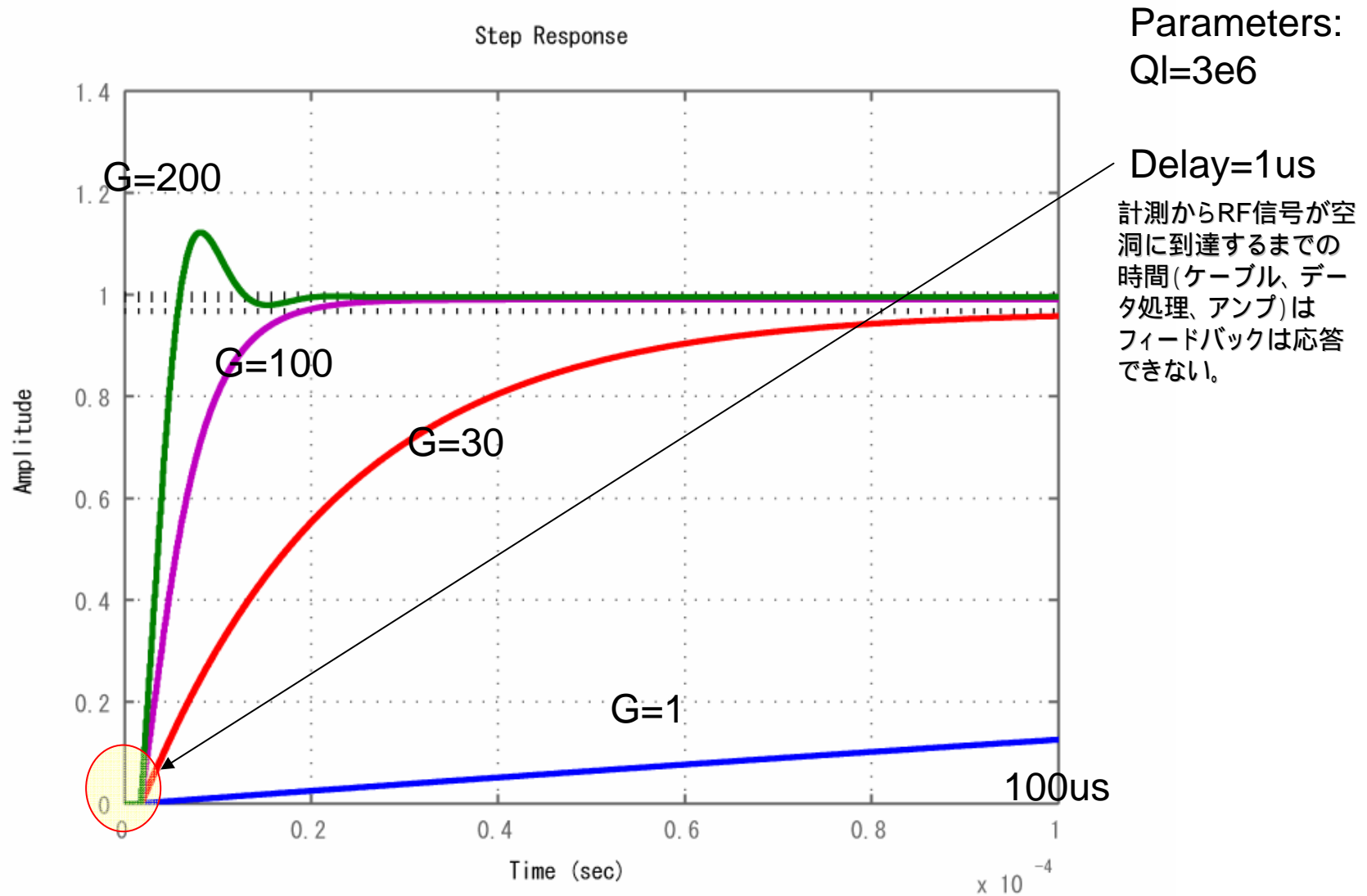
- thermal effects (power dependent)
- **Microphonics**
- **Lorentz force detuning**

o Other

- Response of feedback system
- Resolution of feedback system
- Interlock trips
- Thermal drifts (electronics, power amplifiers, cables, power transmission system)

周波数帯域がFBの帯域内の擾乱は、フィードバック(FB)ゲイン分抑えられる。
例) 100us程度で1%変化した場合で、FBゲインが100ならその擾乱は1/100に抑えられる。
擾乱が大きかったり、速い場合にはフィードバックでは安定性を保証できない。

Step response



Faster response at high gain (but larger drive will be necessary).
Fast FB needs larger driving power.

Sources of Perturbations

高周波電界安定度に影響を与える要因

空洞の離調 (マイクロフォニックス、ローレンツ力) 超伝導空洞は高い Q 値を持つため、振動等による空洞の離調 (デチューニング) は無視できない。離調は、主として、振動に起因するマイクロフォニックスと、空洞電界の 2 乗に比例するローレンツ力離調に分けられる。Euro-XFEL や ILC といったパルスリニアックでは、ローレンツ力による効果が離調の主たるものとなり、高電界のパルス運転では圧電素子を使ったリアルタイムの空洞の離調制御が必要となるが、電界一定の CW 運転である ERL に関しては、この影響は小さい。マイクロフォニックスのレベルは、空洞および冷凍系に依存するが、10–100 Hz の空洞離調となる。これを補正するための必要な高周波出力は空洞の Q 値により異なるが、フィードバック運転時にも後に述べるように空洞の安定度はフィードバックゲインの逆数分程度としかならないため、マイクロフォニックスに起因する離調により短時間で電界強度が大きく変わる場合には、電界安定仕様を満たさなくなる可能性がある。

ビームローディング ビームローディングのばらつきは、超伝導空洞の負荷がそのまま変わることになるため注意が必要である。たとえば、Q 値としてビームと整合した最適値を選んだ場合、ビーム電流が 1% 変わった場合、電界強度は 1% 変化する。フィードバックで空洞電界を 0.1% 以下するためには、ビーム変動による寄与を 1/3 程度 (0.03%) 以下とする必要があり、高周波系のフィードバックゲインが 100 の場合は、ビーム電流の安定度は 3% 以下となる必要がある。

RF 生成系のノイズ これらの信号は、フィードバック系の外にあるため、それ自身で高い位相安定度が求められる。たとえば、コンパクト ERL の高周波安定度仕様が 0.1 度とすれば、マスター系の安定度はこの 1/3 程度である必要がある。これまでに KEK の ILC テスト施設である STF のために開発された信号発生器は、100 Hz から 1 MHz 程度の成分は 0.01 度程度の安定度を持ち、コンパクト ERL の仕様を満たす (表 2.19[4] 参照)。

測定・フィードバック系のノイズ LLRF 測定系のノイズとしては、中間周波数 (IF) 変換系におけるノイズ、ADC (Analog to Digital Converter) 周辺のノイズ等がある。これらのノイズが、特にスプリアスを

(2008/2/14)

Sources of Perturbations

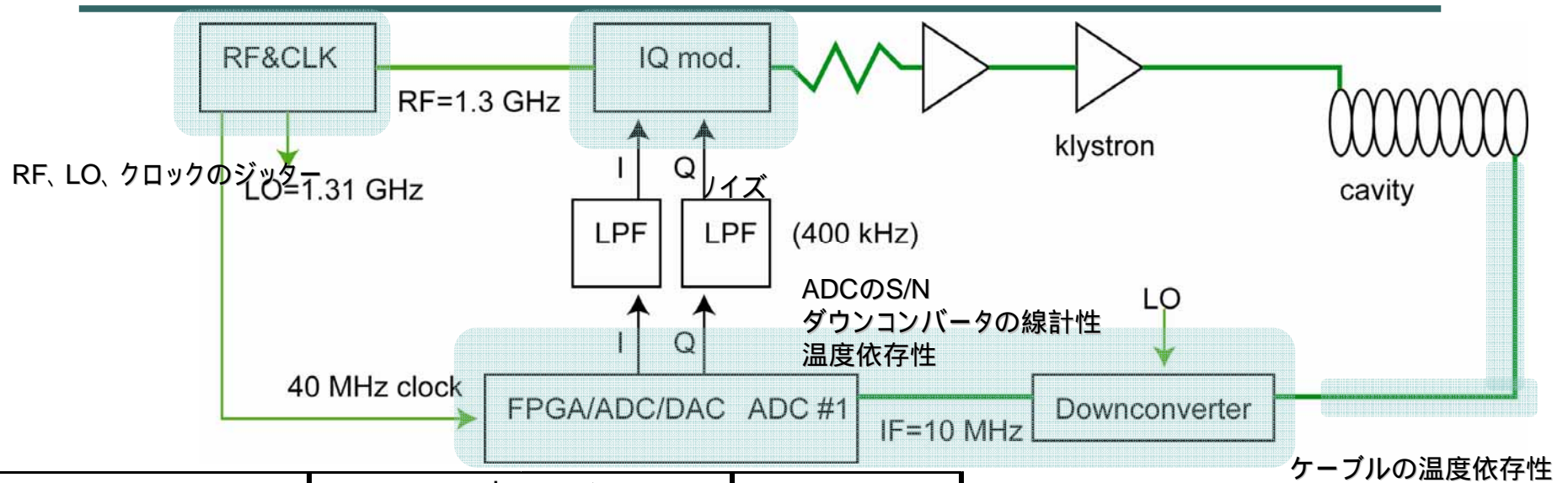
含まないノイズであれば、たとえばデジタル系の信号を平均化することによりノイズ成分は減少する。(しかし、電源系のノイズ等の特定周波数のノイズがある場合は、平均化を行ってもその成分が残る)。

クライストロンの非線形, 印加電圧の変動 入射器では高周波源としてクライストロンを採用する予定であるが、クライストロンは飽和値付近では入出力特性が非線形となる。このため、フィードバックの働きはその分小さくなるので注意が必要である。クライストロンを使用する X-FEL や ILC では、この非線形効果を補正するようなデジタル系のソフトウェア開発を検討している。

また、クライストロンの印加電圧の変動も高周波安定度に影響を与える。定性的には、高周波出力は電圧の 2.5 乗に比例し (1.25%/電圧%)、また、高周波位相はクライストロンの長さに依存するが 10 度/%程度変化する。低電力系でフィードバックを行わない場合、高周波源電源の 1% の電圧変動は、振幅で 1.25%、位相で 10 度もの変動となる。フィードバックゲインが 100 の場合は、これが約 1/100 に抑えられるが、その場合も位相変動は 0.1 度程度にしかない。このため (高周波源の位相係数にも依存するが) 印加電圧の安定度として 0.3% 以下が要求される。このときフィードバックが機能すれば、10 度/% の位相係数では安定度は 0.03 度程度となる。実用機で位相安定度 0.01 度以下が必要なら、電源安定度は 0.1% が必要であろう。

フィードバック調整余裕 比例制御を行った場合には、外乱がフィードバックの帯域内である場合、その比例ゲイン (G) の逆数 ($1/G$) 程度まで外乱は抑えることができる。しかし、その際には外乱の G 倍のドライブ出力が必要である。たとえば、振幅の外乱が 0.1% あり比例ゲインが $G=100$ の場合、単純な比例制御においてはフィードバックを抑えるための振幅は最大で瞬間的には 10% 増し (高周波出力は 20% 増し) となる。十分なフィードバックのための調整余裕がない場合には外乱を十分抑えることができないので、大電力高周波源の運転値はその飽和値から十分低い必要がある。

システムに求められる要件



	requirements		current status
	Injector	ML	
total	0.1%, 0.1deg.		
RF&CLK	0.03deg.		0.01deg.
IQ mod.	0.03%, 0.03deg.		0.04%, 0.1deg.*
Downconverter			
ADC			
cable			not cosidered
HV	<0.1%		
QI	1.70E+05	2.00E+07	
f1/2 [Hz]	3824	32.50	
microphonics (<3 deg. under FB gain 100) [Hz]	200	2	
beam current	100 mA	0 mA	
beam fluctuation (3% under FB gain 100)	3 mA	---	

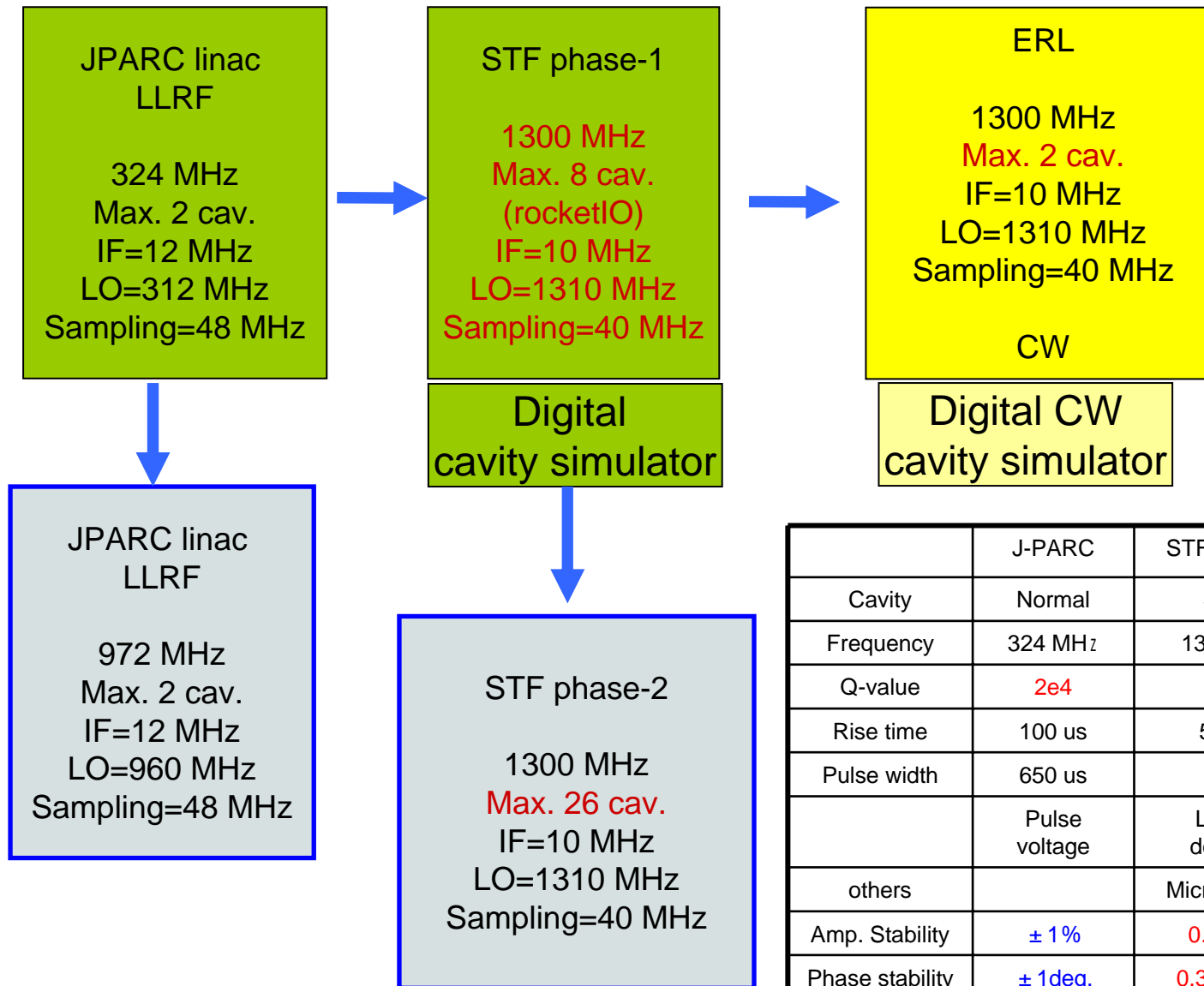
0.1%、0.1度の全体安定度を得るために必要な各ユニットの仕様の目安。

デジタル低電力RF(LLRF)系の現状

道園真一郎
KEK

- LLRF系の範疇
- なぜデジタルFB？
- フィードバック系およびその外乱要因
- ■ KEKでのデジタルフィードバック系の実績
- 他の施設のデジタル系の紹介
 - ILC
 - JLAB
 - DESY
 - CORNELL
- ERLテスト施設用のLLRF系

Digital LLRF FB control @STF phase-1



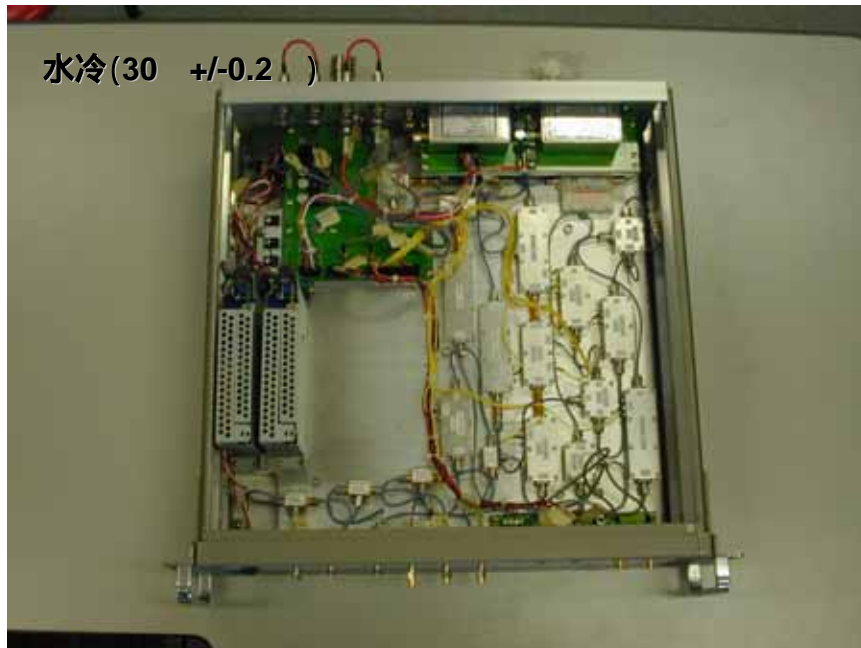
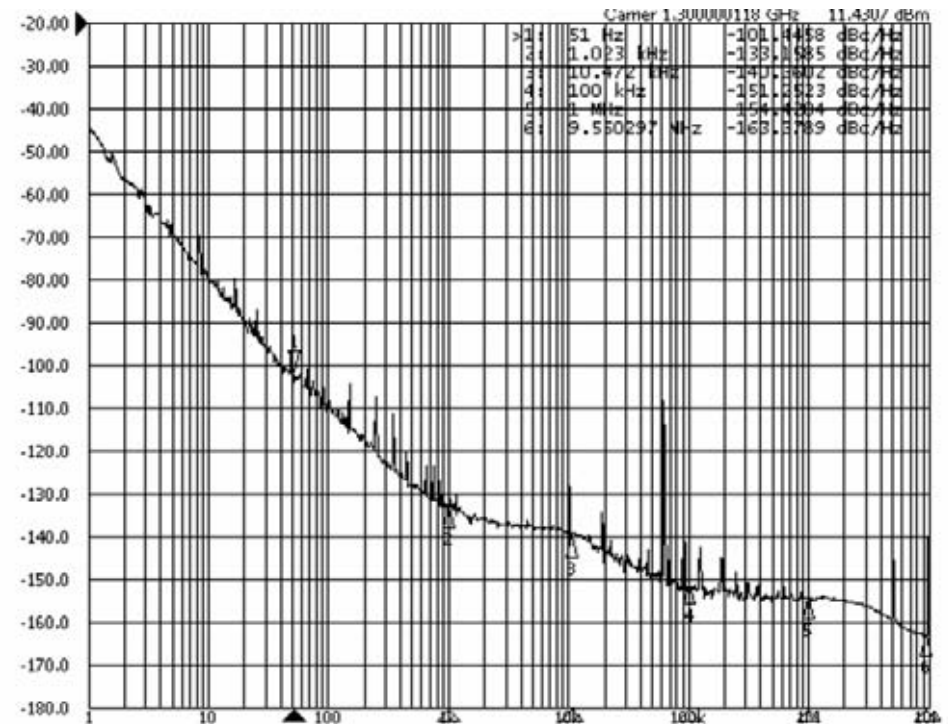
	J-PARC	STF Phase-1	ERL
Cavity	Normal	Super	Super
Frequency	324 MHz	1300 MHz	1300 MHz
Q-value	2e4	2e6	
Rise time	100 us	500 us	CW
Pulse width	650 us	1.5ms	
	Pulse voltage	Lorentz detuning	Lorentz detuning
others		Microphonics	Microphonics
Amp. Stability	± 1%	0.3%rms	0.1%rms
Phase stability	± 1deg.	0.3deg.rms	0.1deg.rms
FB loop	< 1us	< 3us	< 3us

FPGA: calculate fast simple FB
 DSP: complicated interlock such as quench detection

MOおよびIQ/Mixer

周波数 [MHz]	ジッター (rms)	位相(rms)[度]
1310	22.3 fs	1.0×10^{-2}
1300	16.0 fs	7.4×10^{-3}
40	573 fs	8.3×10^{-3}
10	1.14 ps	4.1×10^{-3}

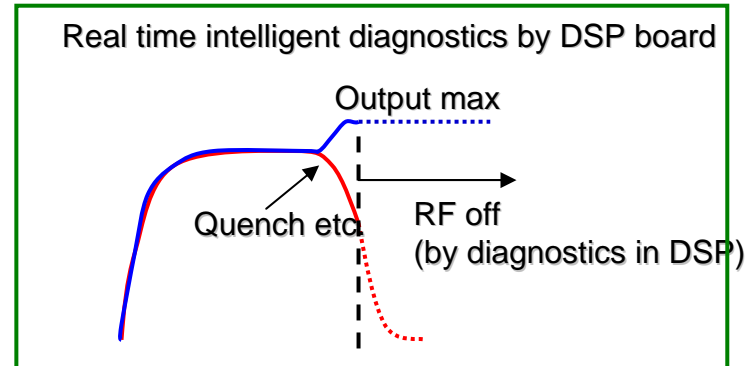
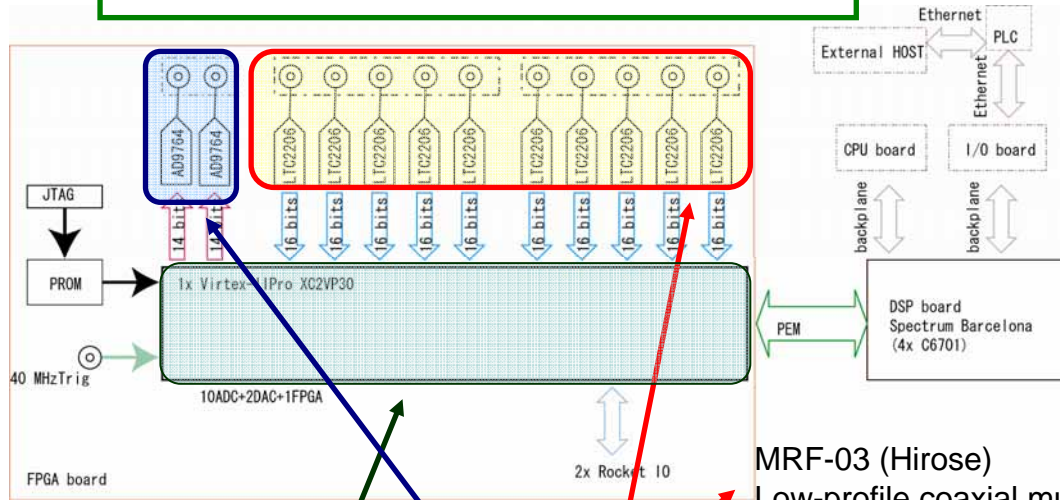
ジッター及び対応する位相は100Hzから1MHzの位相ノイズから求めている。



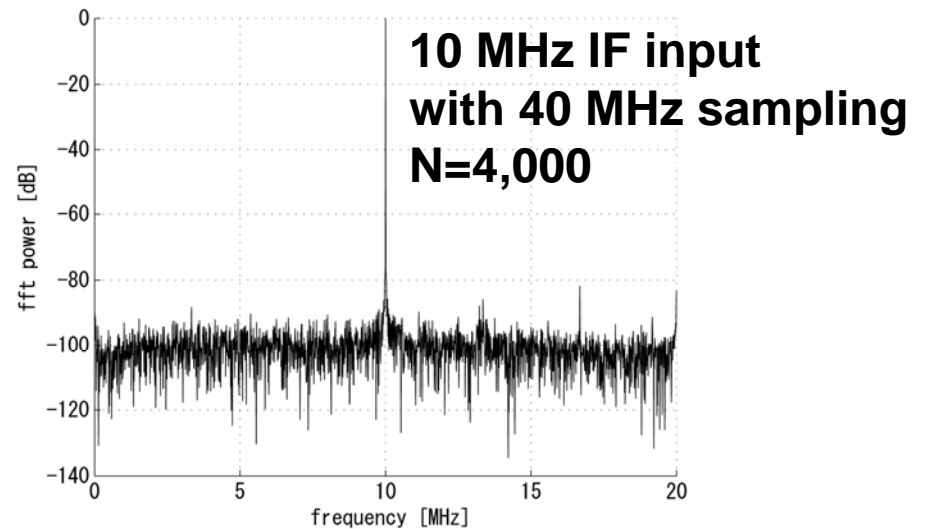
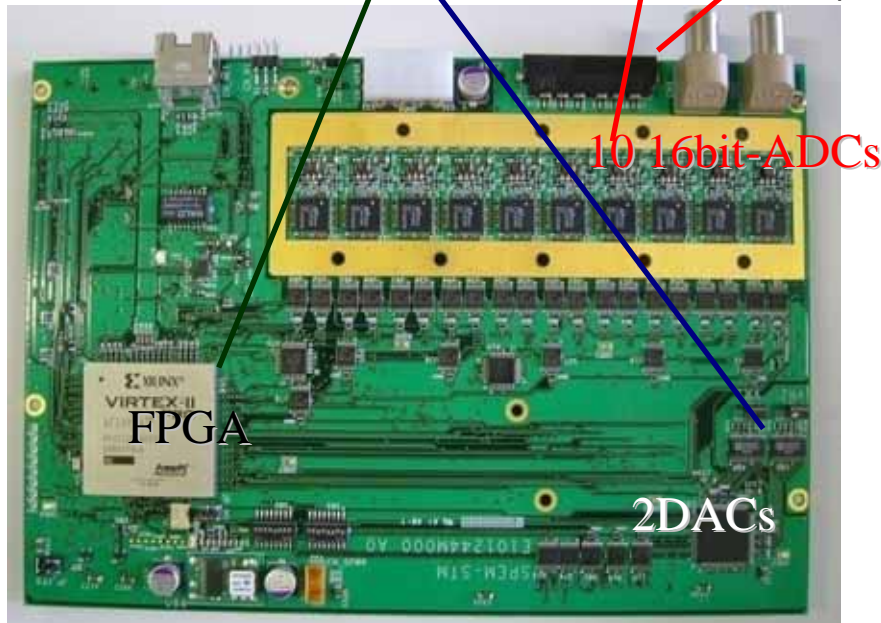
FPGA & DSP boards @STF Phase1

Custom FPGA board
 : Mezzanine card of the commercial DSP board
 10 **16bit-ADCs** and 2DACs + 2Rocket IO
 40 MHz clock

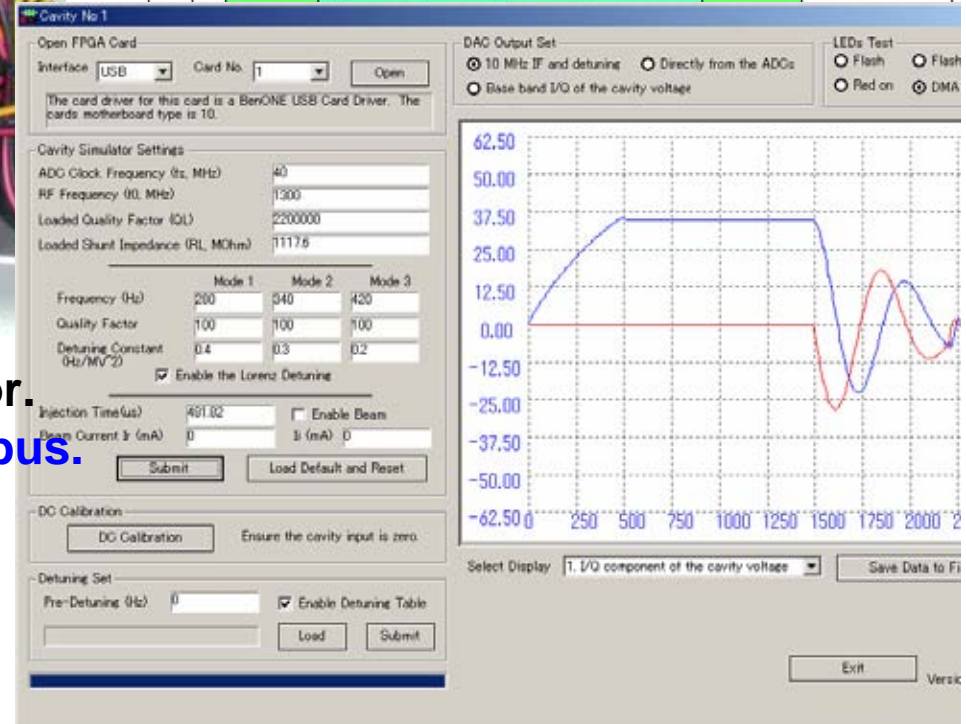
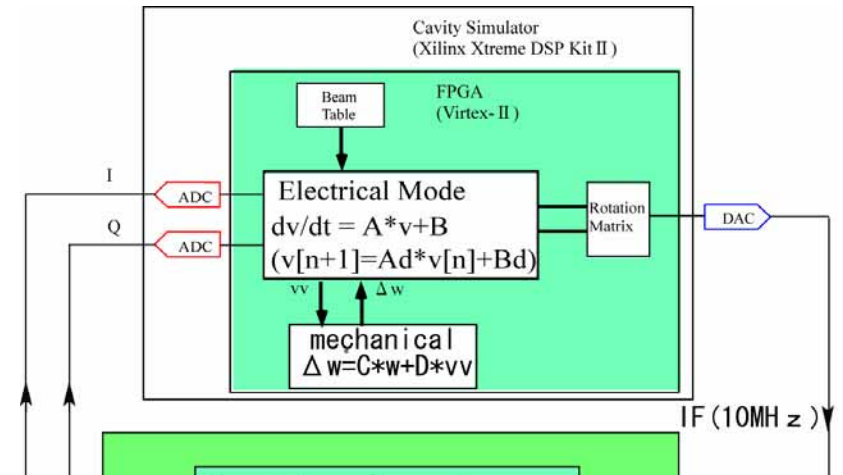
Commercial DSP board (Barcelona)
 (same to J-PARC system)
 :4x TI C6701 DSPs
 Can access to FPGA like an external memory of DSP



MRF-03 (Hirose)
 Low-profile coaxial multiple contact connector

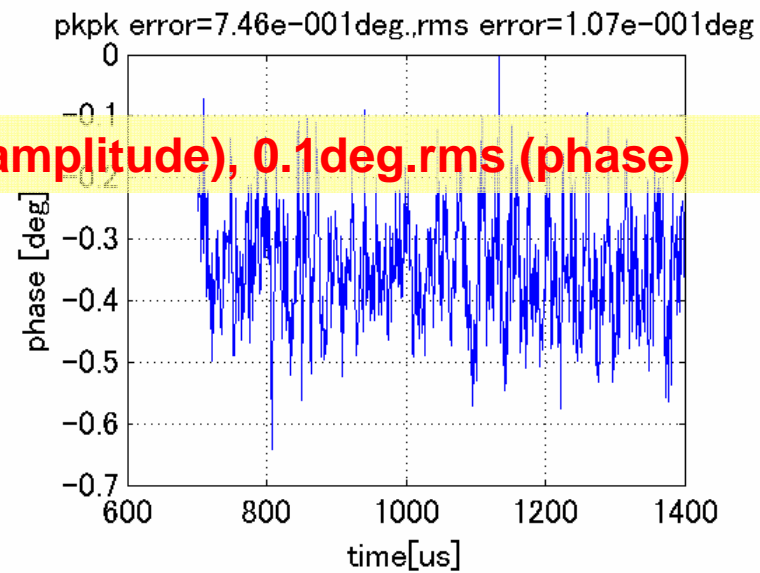
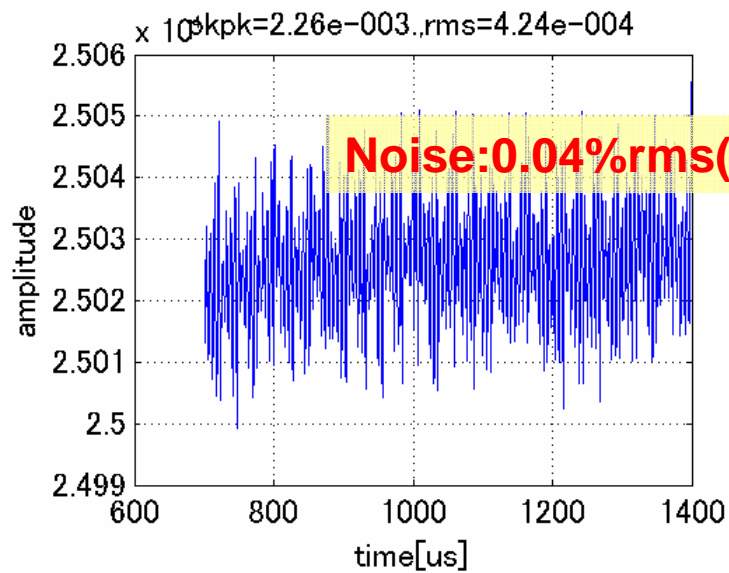
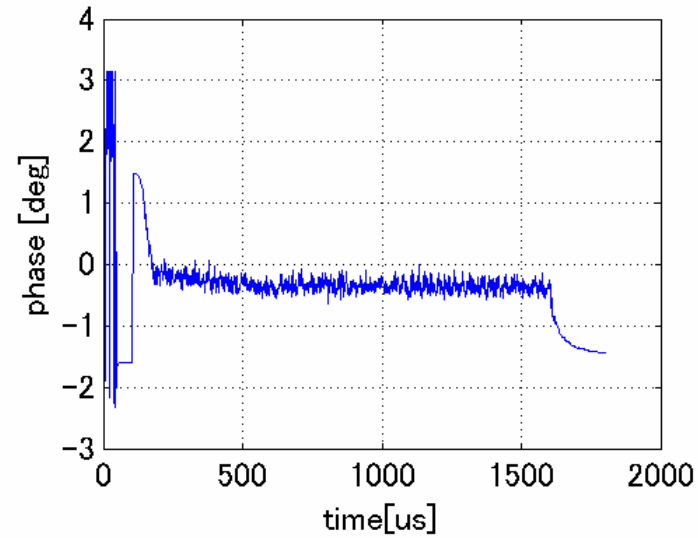
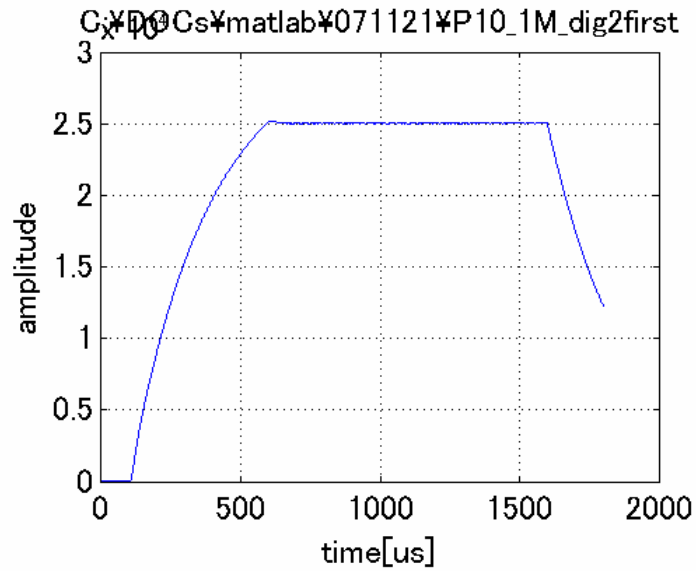


Cavity simulators installed into PC



- XtremeDSP was used for cavity simulator.
- Four XtremeDSPs are installed into PCI bus.
(corresponding 4 cavity simulators)

FB results (during rf pulse)



Noise:0.04%rms(amplitude), 0.1deg.rms (phase)

デジタル低電力RF(LLRF)系の現状

道園真一郎
KEK

- LLRF系の範疇
- なぜデジタルFB？
- フィードバック系およびその外乱要因
- KEKでのデジタルフィードバック系の実績
- ■ 他の施設のデジタル系の紹介
 - ILC
 - JLAB
 - DESY
 - CORNELL
- ERLテスト施設用のLLRF系

各施設のLLRF系比較

	筐体	周波数	プロセス	IF	ADC、サンプリング	DAC、出力信号
<i>J-PARC-Linac</i>	<i>cPCI</i>	<i>324MHz</i>	<i>FPGA+DSP</i>	<i>12MHz</i>	<i>14bit/48MHz</i>	<i>14bit/DC</i>
SNS	VME	402.5MHz 805MHz	FPGA	50MHz	14bit/40MHz	14bit/30MHz
FLASH(DESY)	VME	1.3GHz	DSP	250kHz	14bit/1MHz	14bit/DC
XFEL(DESY)	ATCA /uTCA	1.3GHz	FPGA+DSP	?	16bit/	16bit/
FNAL	VME	1.3GHz	FPGA+DSP	?	12bit/	12bit/
<i>STF</i>	<i>cPCI</i>	<i>1.3GHz</i>	<i>FPGA+DSP</i>	<i>10MHz</i>	<i>16bit/40MHz</i>	<i>14bit/DC</i>
STF-2	ATCA /uTCA?	1.3GHz	FPGA (+DSP)	?	?	?
ILC	ATCA /uTCA	1.3GHz	FPGA+DSP	?	?	?

現状では、DESY/FNALと筐体系が違う、IFやIQ変調方法も異なる。

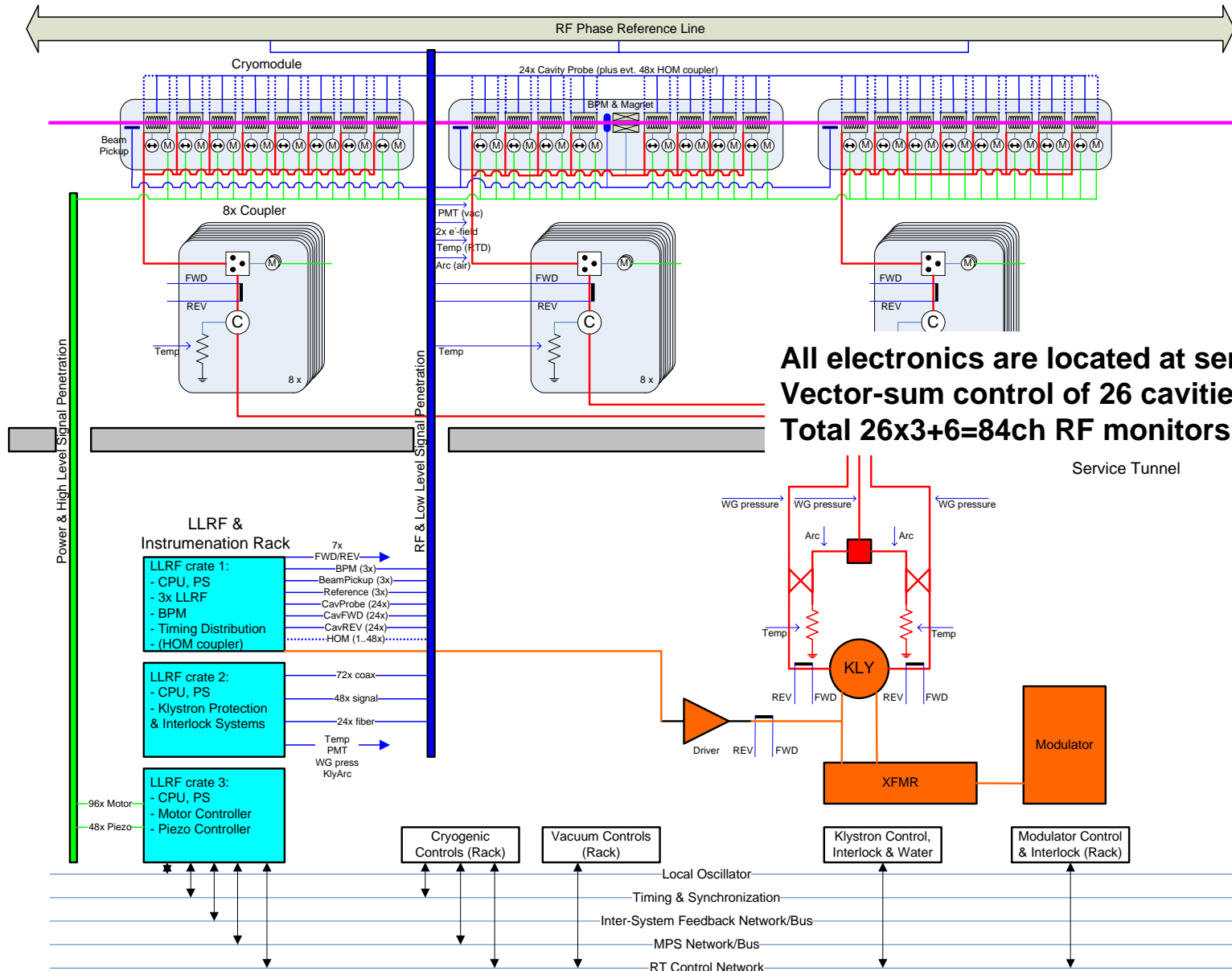
Stability Requirements for Main Linac

	phase tolerance limiting luminosity loss (deg)	phase tol. limiting incr. in energy spread (deg)	amplitude tolerance limiting luminosity loss (%)	amplitude tolerance limiting increase in energy spread (%)	Related fluctuations
correlated BC phase errors	.24	.35			HV
uncorrelated BC phase errors	.48	.59			Microphonics
correlated BC amplitude errors			0.5	1.8	HV, Ibeam
uncorrelated BC amplitude errors			1.6	2.8	Microphonics
correlated linac phase errors	large	.36			HV
uncorrelated linac phase errors	large	5.6			Microphonics
correlated linac amplitude errors			large	.07	HV, Ibeam
Uncorr. linac amplitude errors			large	1.05	Microphonics

Summary of tolerances for phase and amplitude control. These tolerances limit the average luminosity loss to <2% and limit the increase in RMS center-of-mass energy spread to <10% of the nominal energy spread.

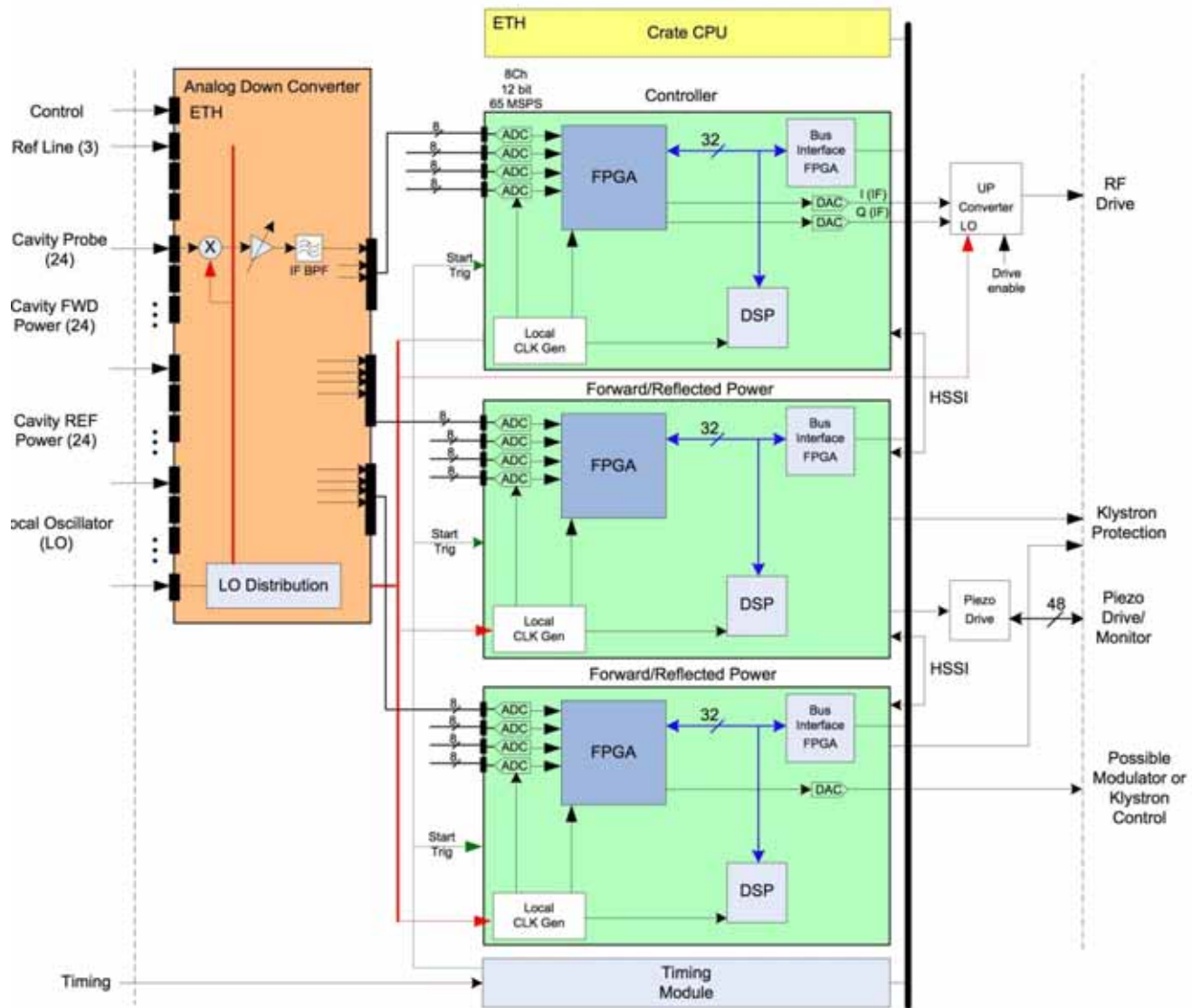
Ref. Mike Church

LLRF system configuration at ILC



第22回 ERL 検討会 (2008/2/14)

LLRF Rack Detail (ILC-baseline)



デジタル低電力RF(LLRF)系の現状

道園真一郎
KEK

- LLRF系の範疇
- なぜデジタルFB？
- フィードバック系およびその外乱要因
- KEKでのデジタルフィードバック系の実績
- 他の施設のデジタル系の紹介
 - ILC
 - ■ JLAB
 - DESY
 - CORNELL
- ERLテスト施設用のLLRF系

Cornell ERL

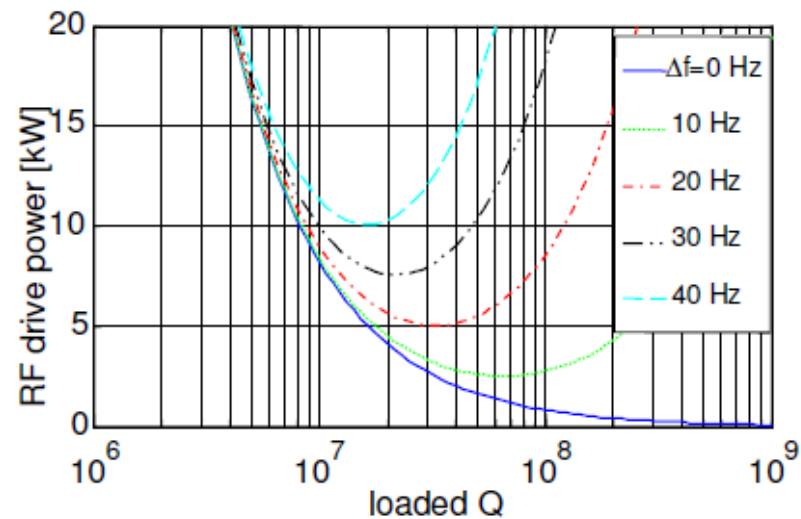


Figure 1: Peak RF drive power as function of Q_L (for a 1.3 GHz, 7-cell cavity at 20 MV/m accelerating gradient).

- PAC05 WPAT040.pdfより
- 詳細は不明
- FPGA+DSPのデジタルフィードバック系？

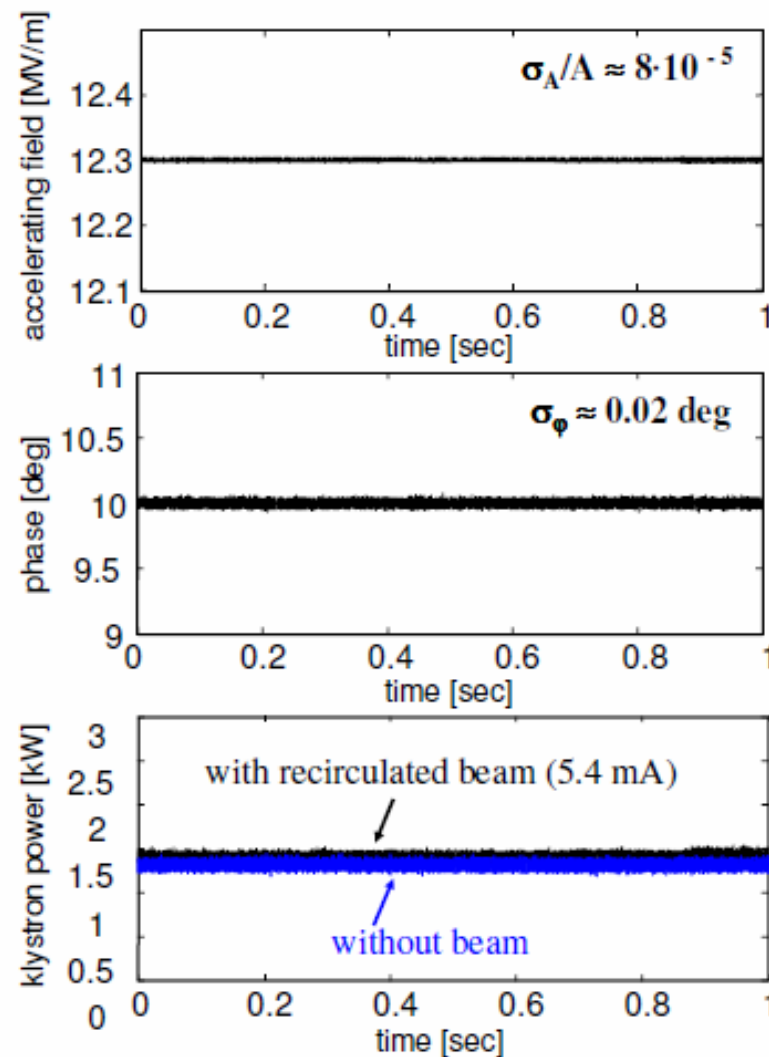


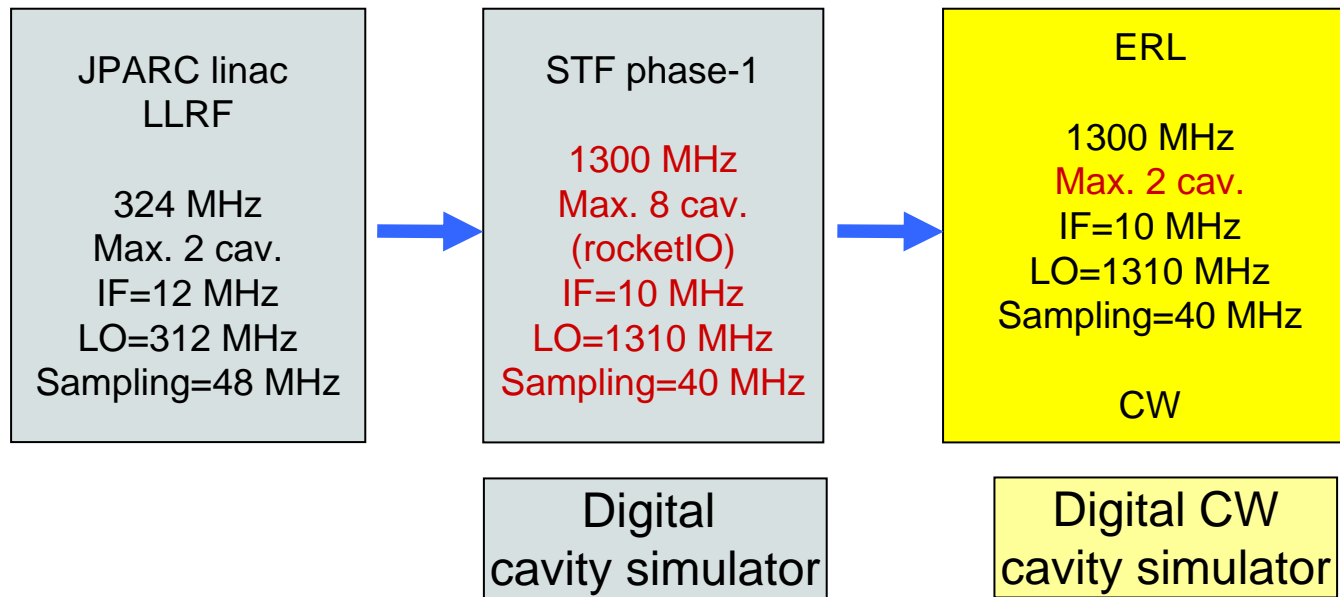
Figure 3: Upper two graphs: Measured field amplitude and phase with 5.4 mA beam current at a $Q_L = 2 \cdot 10^7$. Lower graph: RF drive power without and with recirculated beam.

デジタル低電力RF(LLRF)系の現状

道園真一郎
KEK

- LLRF系の範疇
- なぜデジタルFB？
- フィードバック系およびその外乱要因
- KEKでのデジタルフィードバック系の実績
- 他の施設のデジタル系の紹介
 - ILC
 - JLAB
 - DESY
 - CORNELL
- ■ ERLテスト施設用のLLRF系

ERL実証器用LLRF機器



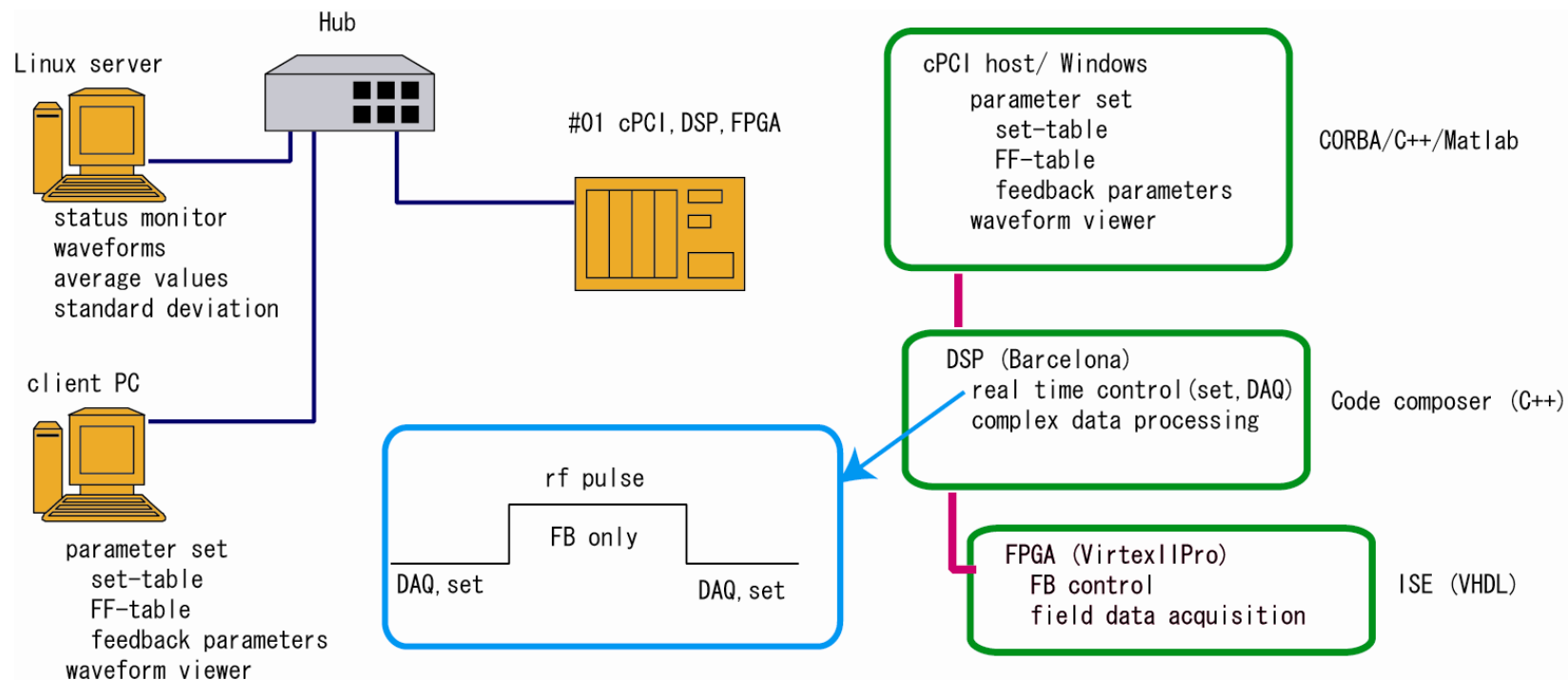
RFテストスタンド

- RFテストスタンド
 - STFで使用した機器と同じものとする。
 - ただし、パルスのアルゴリズムをパルス用からCW用に変更する必要がある。
 - デジタル系を評価するCavity SimulatorをCW対応に変更する。
 - 目標安定度は、LLRF系単体(Cavity Simulator)で0.1%rms、0.1度rms

実証器

- 実証器
 - RFテストスタンドでの運転に、適宜アルゴリズムの改良で性能の向上を目指す。
 - 基本的にはRFテストスタンドと同形態とするが、フィードバック性能を決めるFPGAボードについては、ERLに対応したものを開発する。(チャンネル減、高安定度)
 - ケーブル等の温度依存性補償等ここでは考慮しない。(長時間ドリフトは許容)
 - 目標安定度は、システム全体で0.1%rms、0.1度rms

ソフトウェア開発



- ❑ ハードウェアはほぼ既存と同じもので対応するが、ソフトに関しては大幅な改修が必要
- ❑ cPCIホスト: パラメータ設定や、波形データの読み取り、FFテーブルの設定
パルスからCWに
- ❑ DSP: cPCIとFPGAの橋渡し パルスからCWに。**割り込みタイミングの変更**
- ❑ FPGA: フィードバックおよびフィードフォワード
パルスからCWとなるので、**割り込みおよびデータ列の変更**
- ❑ 波形表示ソフトおよびデータ蓄積サーバ パルスからCWに。
- ❑ Adaptive FF用ソフトウェアの開発 (数分程度でフィードフォワードを自動的に更新)

今後の予定

- 2008年度：
 - STFと同じデジタル系一式の製作。
 - ソフトウェアの開発(CWに対応)。
 - 安全系製作(一部STFと同じものを改造)。
- 2009年度：
 - CavitySimlatorの開発。
 - テストスタンドにデジタルLLRF系を設置。
 - 開発用デジタルRF系1式の製作(ソフト、ハード用)。
- 2010年度：
 - テスト施設の仕様を満たしていれば、全ユニット準備。
 - 仕様を満たさなければ、一部改修。