

## X線 Pixel センサ用の FD-SOI プロセス開発 Development of FD-SOI Technology for X-Ray Pixel Detectors

沖原 将生<sup>1</sup>、長友 良樹<sup>1</sup>、葛西 大樹<sup>2</sup>、三浦 規之<sup>2</sup>、栗山 尚也<sup>2</sup>、工藤 統吾<sup>3</sup>、  
初井 宇記<sup>3</sup>、三好敏喜<sup>4</sup>、倉知 郁生<sup>4</sup>、新井 康夫<sup>4</sup>  
<sup>1</sup>ラピスセミコンダクタ(株)、<sup>2</sup>ラピスセミコンダクタ宮城(株)、<sup>3</sup>理化学研究所、  
<sup>4</sup>高エネルギー加速器研究機構

X線ピクセルセンサ用に 0.2  $\mu\text{m}$  完全空乏型 (FD) SOI 技術の開発を行っている。FD-SOI 技術は通常バルク基板で製造された LSI に比較して、低電圧動作や低消費電力化が可能となる。さらに、トランジスタが薄い SOI 層で形成されていること、素子が完全に絶縁分離されていることから、シングルイベントアップセット (SEU) のような放射線耐性に強いという特徴を有している。センサ部を支持シリコン基板中に形成し、信号処理用の電子回路部を SOI 層に形成することで、ピクセルサイズの小さい、モノリシックな X線センサの開発が可能となる。

X線センサの性能向上のため、8 インチ FZ シリコン基板を用いた高比抵抗 SOI 基板を用いたプロセス技術の開発を行った。これにより、500 $\mu\text{m}$  のシリコン基板を 120V 程度の低い電圧で完全空乏化させることが可能となった。また、シリコン基板を完全空乏化した際にウェハ裏面から発生するリーク電流を低減するため、最適な裏面処理技術の開発を併せて実施した。さらに、大面積のセンサを作成するため、ステッチング露光技術を用いることで、縦 30mm、横 66mm という大きなサイズのセンサチップの開発に成功した。また、センサ部と電子回路部のクロストークや放射線照射ダメージによるトータルイオナイズドドーズ (TID) 耐性の改善のため、埋め込みウェル構造セルやダブル SOI 基板でのセンサの開発を行った。

これらの FD-SOI 技術を用いることで、KEK と共同で積分型や計数型の X線及び高エネルギー粒子線検出用センサチップを作成した。また、理研と共同で SOI photon imaging array sensor (SOPHIAS) 大面積センサの開発を行った。本発表ではこれらのセンサチップで得られた結果も簡単に紹介する。