



SOI技術による 次世代高速2次元X線検出器の開発

2009年7月10日

ERLサイエンスワークショップ @KEK

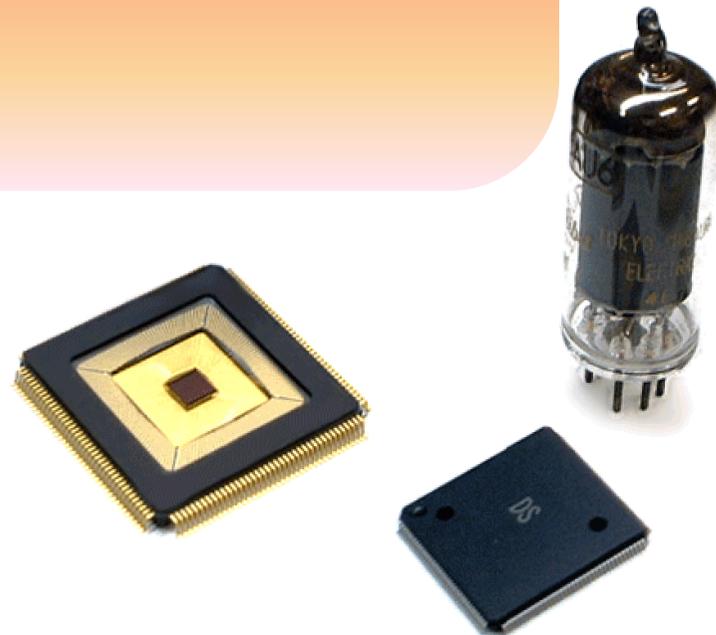
新井康夫 (yasuo.arai@kek.jp)

高エネルギー加速器研究機構 (KEK)

素粒子原子核研究所

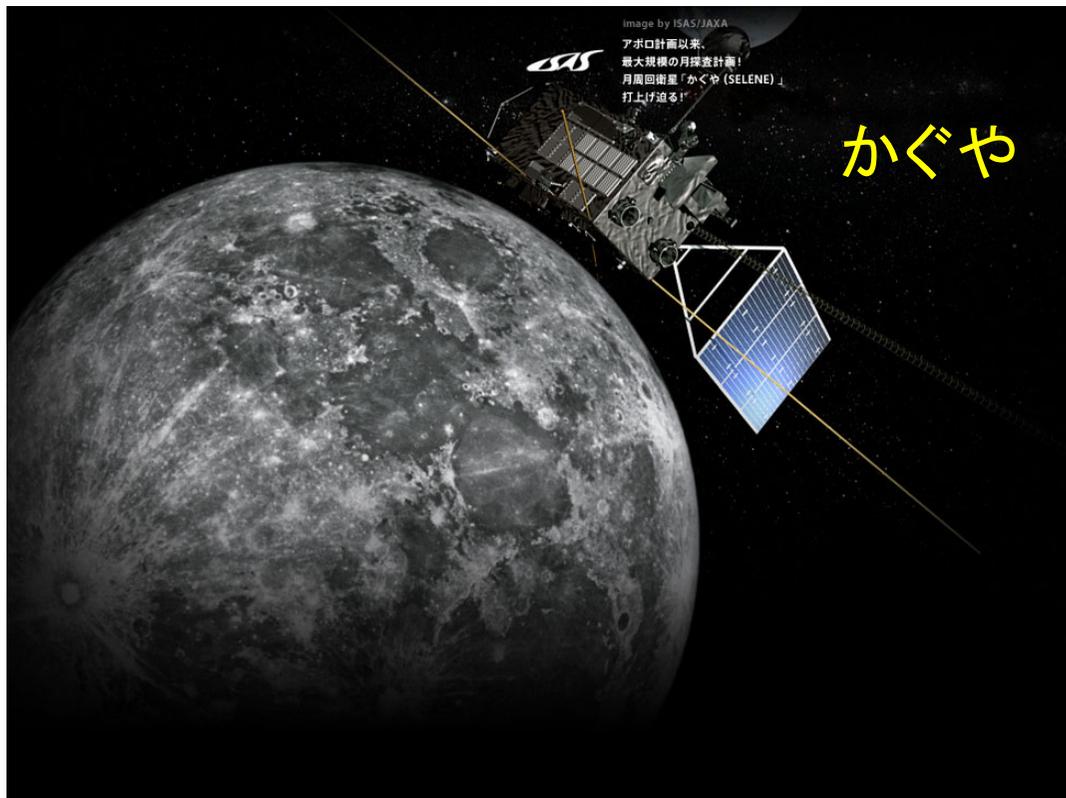
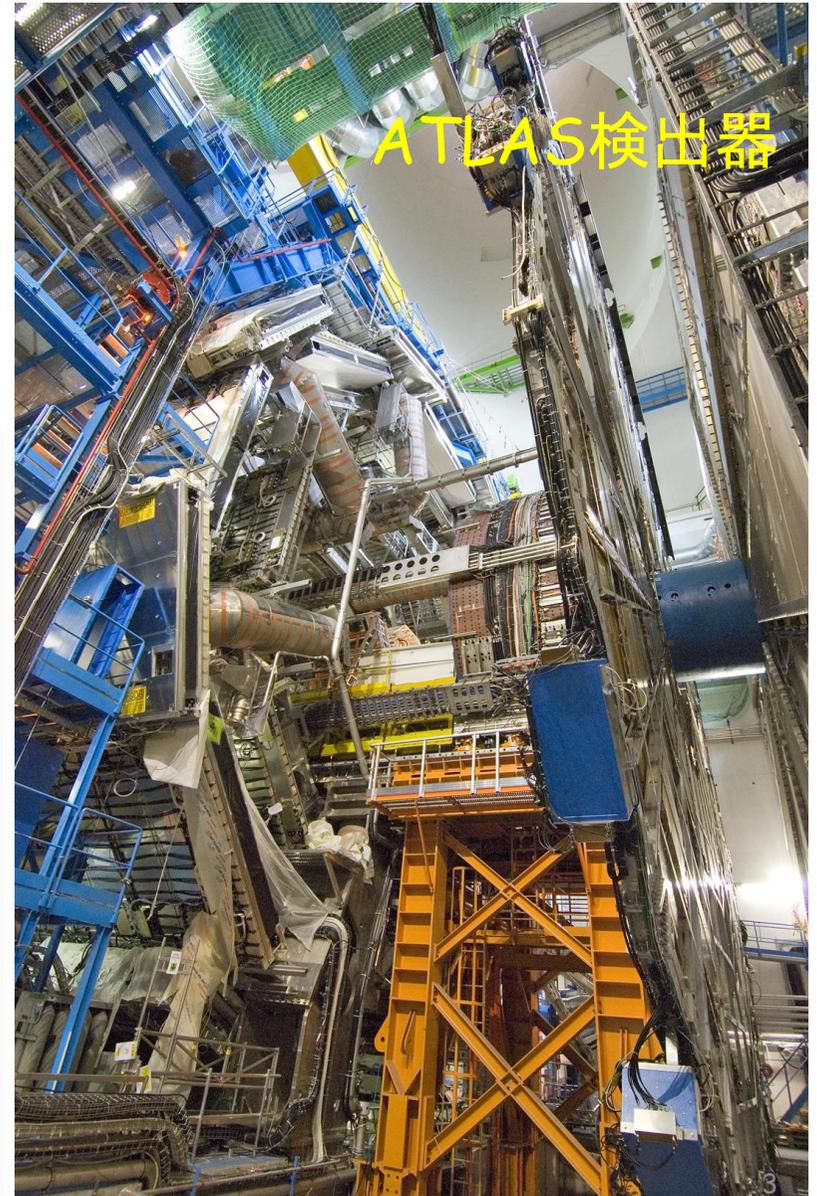
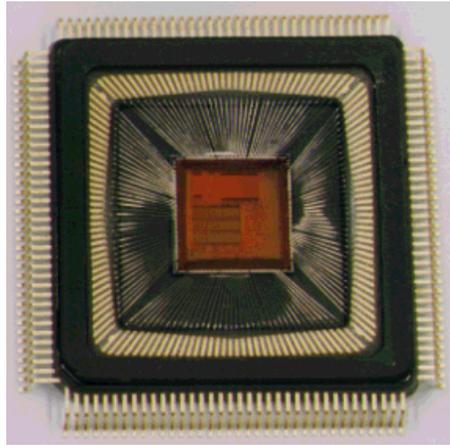
OUTLINE

1. Introduction
2. SOI技術とSOI Pixel
3. SOI Pixel Detectorの開発状況
4. Summary

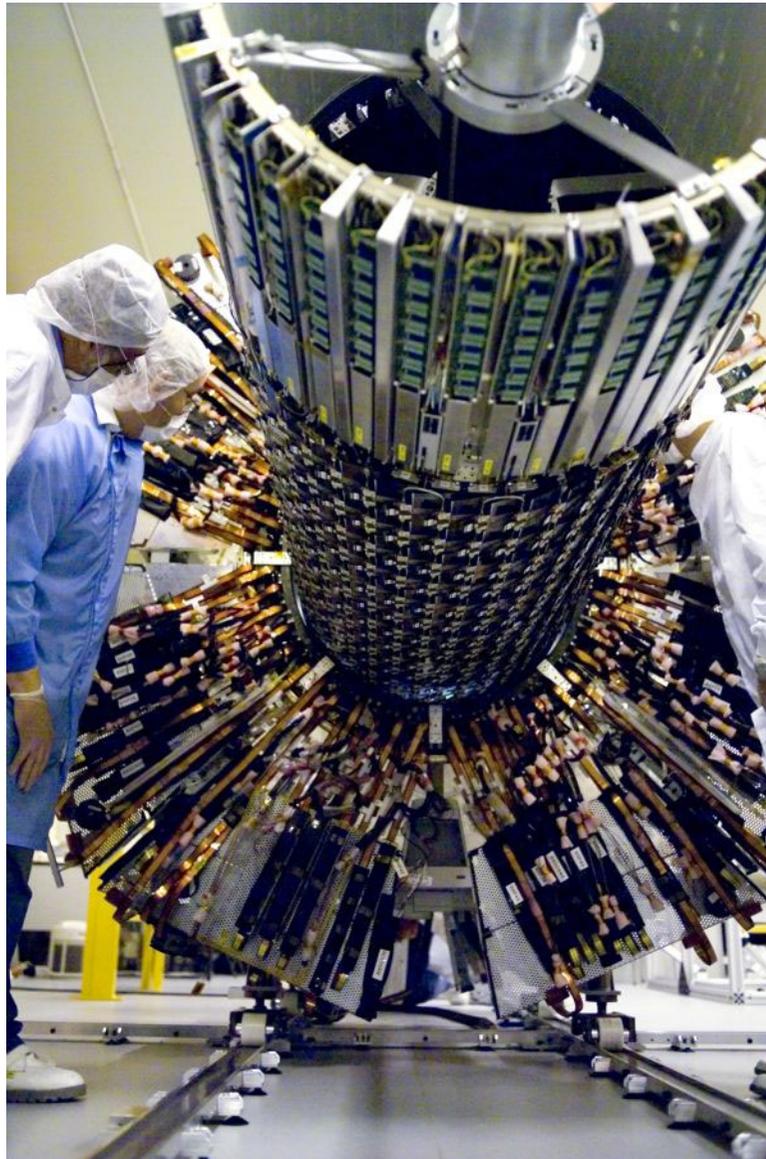


1. Introduction

ATLAS実験やかぐや測定装置用の
時間測定LSIの開発を行ってきた。

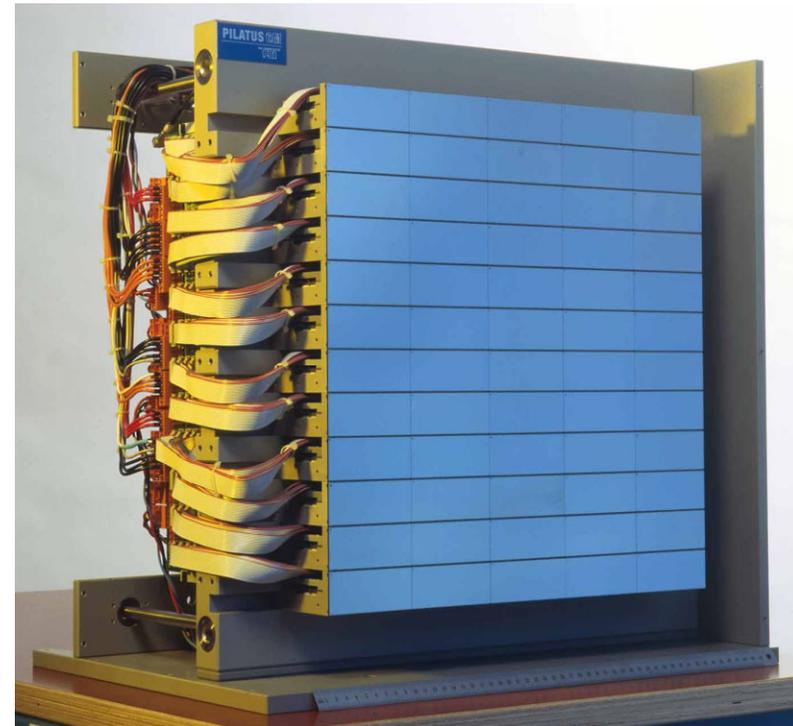


高エネルギー加速器実験検出器



非常に近い技術！

高性能X線検出器



他分野への展開を視野に！

SOI Pixel 開発経過

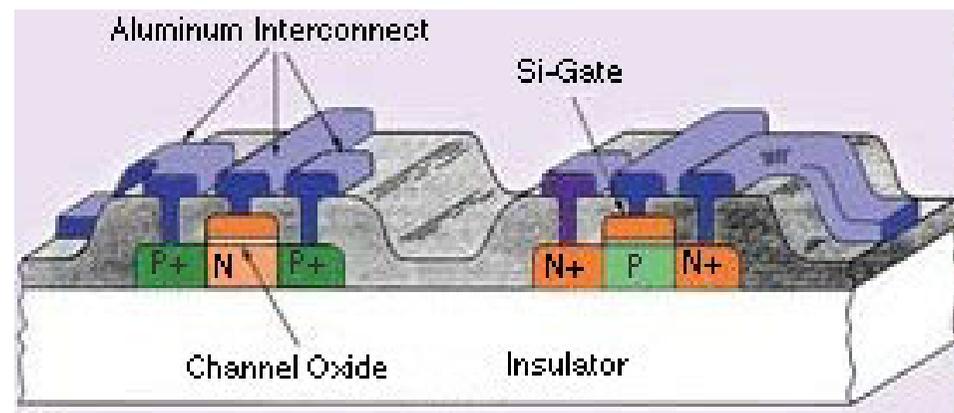
- '05. 4: KEK素核研内に**測定器開発室発足**
- '05. 5: SOI技術を利用したピクセル検出器の開発を提案。
- '05. 7: 沖電気とSOIピクセル検出器の開発をスタート。
- '05.10: 東大VDECの**0.15 μ m MPWラン**に同居して試作。
- '06.12: **KEK主催の0.15 μ m MPWラン**。国内外の研究所・大学から17設計を集める。
- '07.10 : JST先端計測分析技術プログラムに採択。
- '08.1: **第1回目 0.2 μ m MPWラン**。
- '09.2: **第2回目 0.2 μ m MPWラン**。
- '09.8: **第3回目 0.2 μ m MPWラン**。



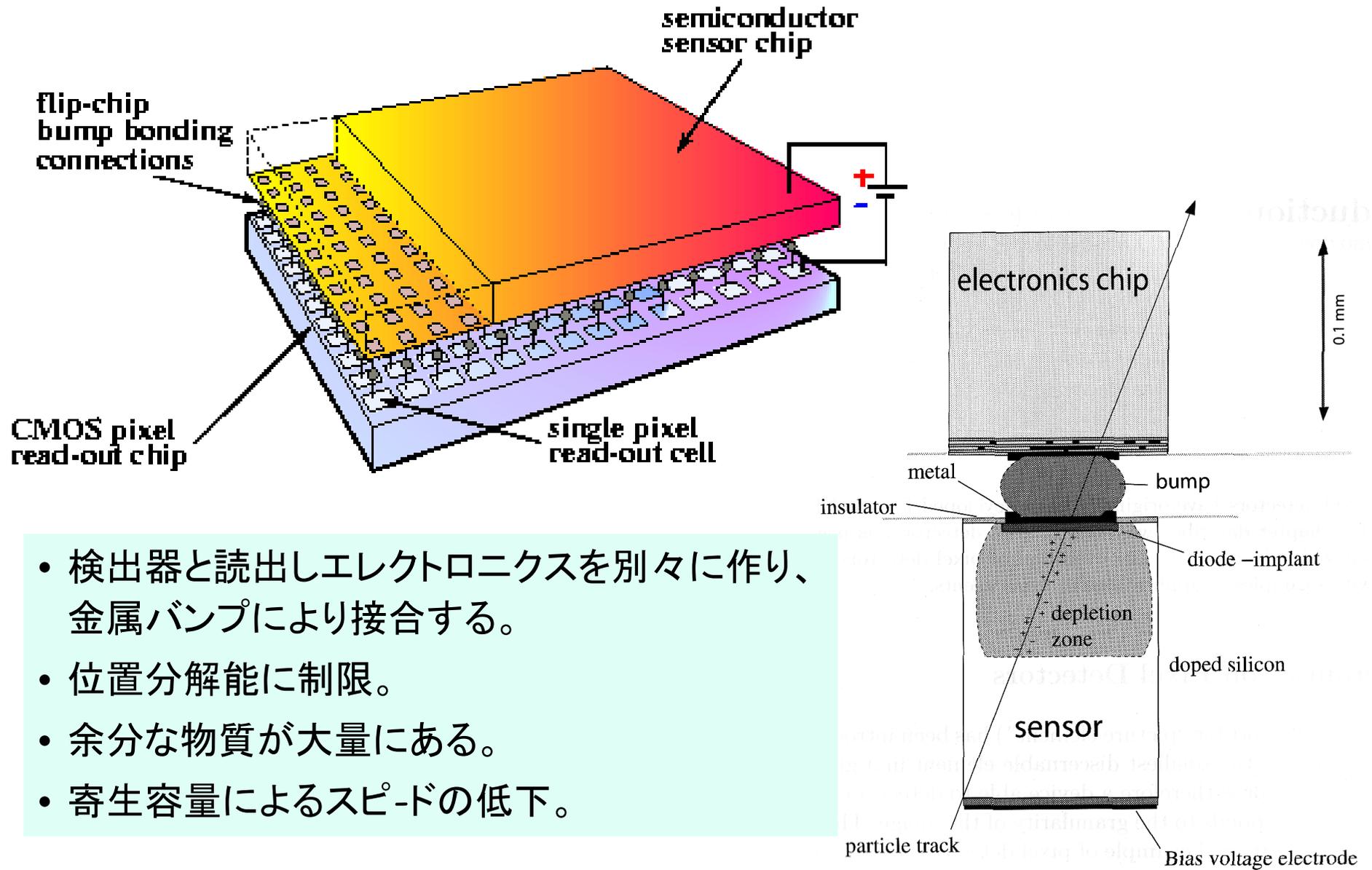
参加研究機関

- 高エネルギー加速器研究機構（素核研、放射光）
- 筑波大学、京都大学、大阪大学、東北大学、京都教育大学、..
- 宇宙航空研究開発機構、宇宙科学研（JAXA/ISAS）
- 高輝度光科学研究センター（Spring-8, JASRI）
- 理化学研究所
- Lawrence Berkeley National Laboratory
- Fermi National Accelerator Laboratory
- Univ. of Hawaii
- Stanford Linear Accelerator Center
- NASA-JPL
- Institute of Nuclear Physics, Krakow, Poland
- :

2. SOI技術とSOI Pixel



現在の最先端Pixel検出器(Hybrid Pixel)



- 検出器と読出しエレクトロニクスを別々に作り、金属バンプにより接合する。
- 位置分解能に制限。
- 余分な物質が大量にある。
- 寄生容量によるスピードの低下。

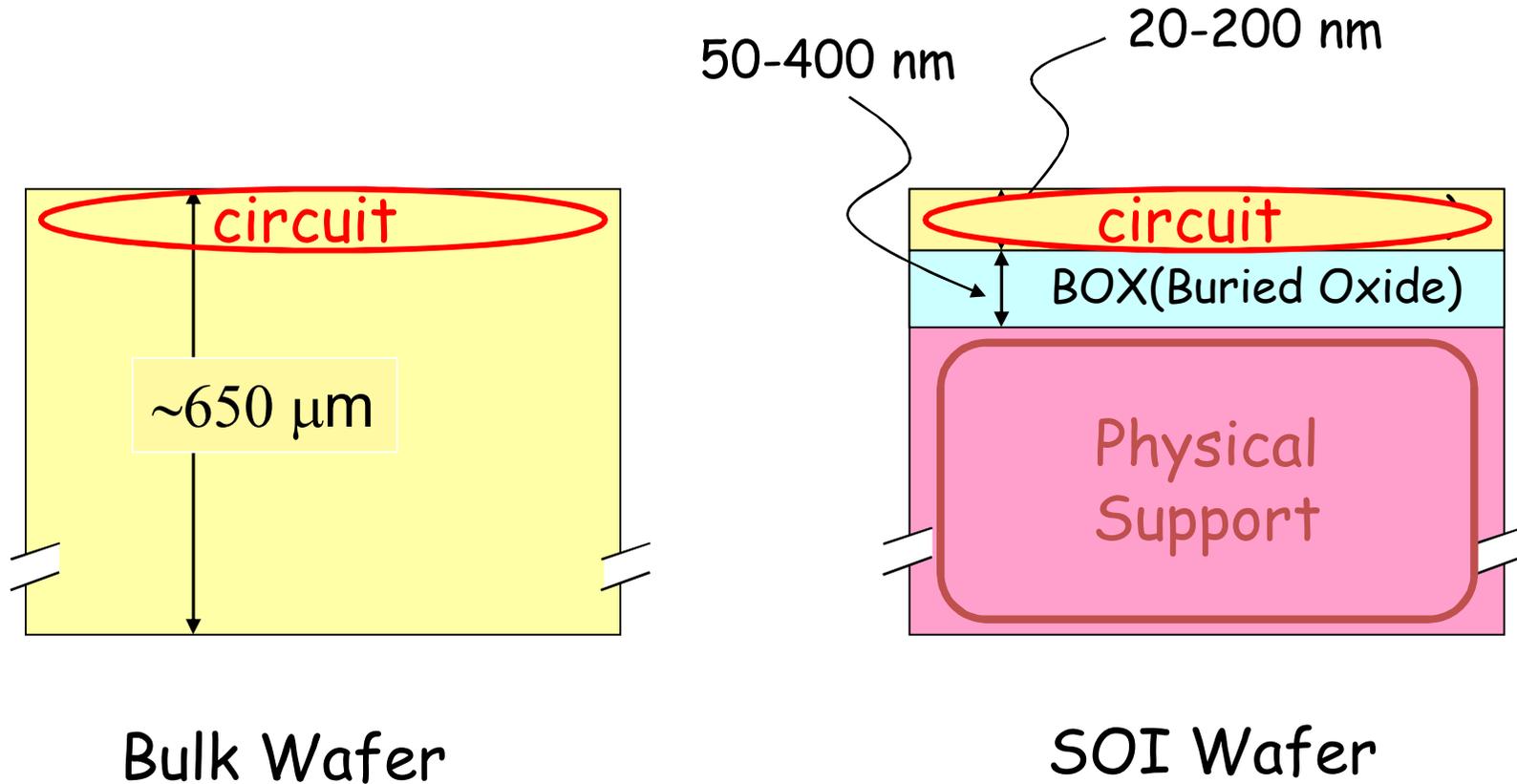
次世代のピクセル検出器への要求

- 余分な物質を減らしたい
- 位置分解能を上げたい
- 検出効率を上げたい
- ピクセル毎に高度な信号処理を行いたい
- 測定レートを上げたい
- 読み出し速度を上げたい
- 価格を下げたい



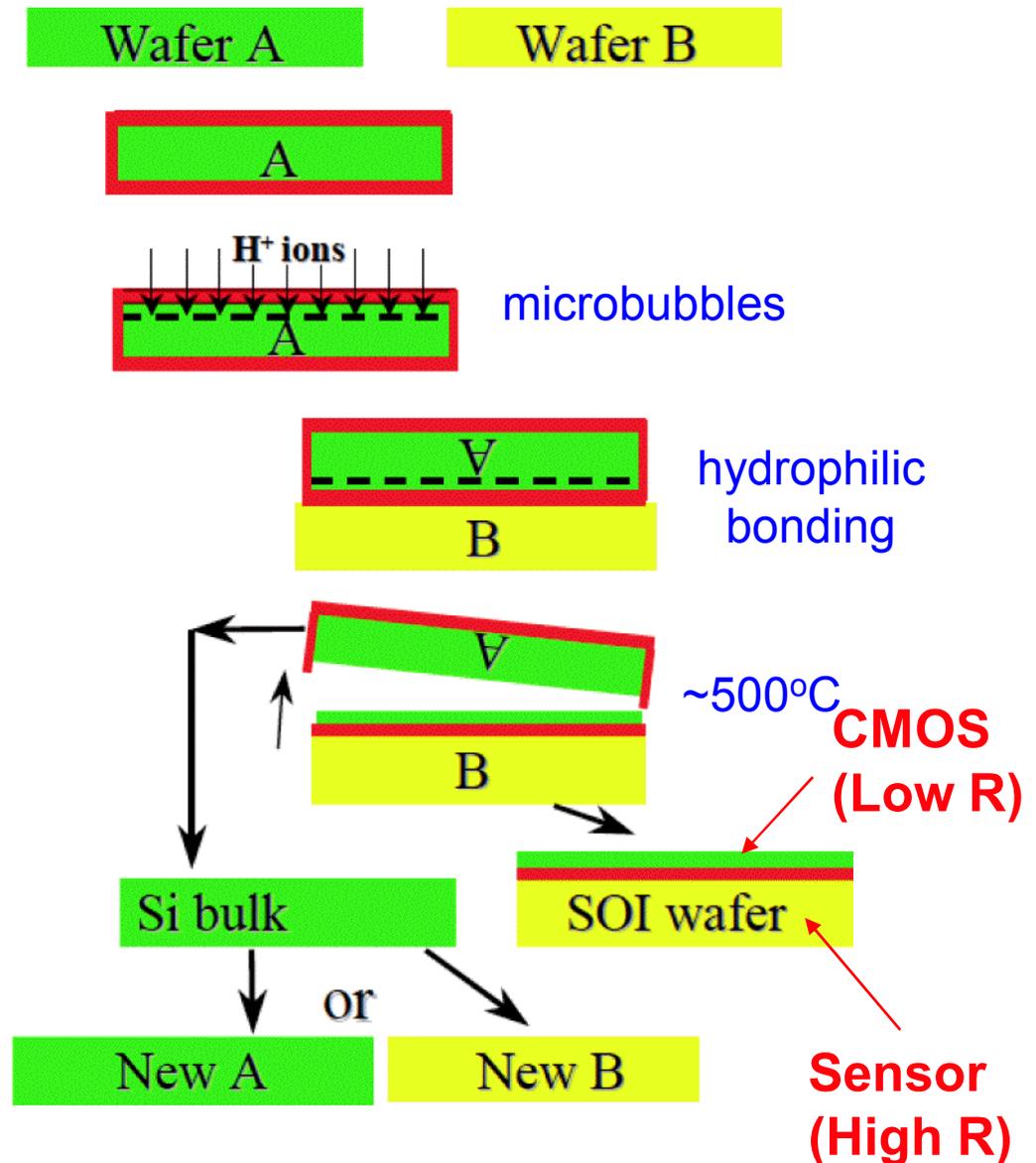
Silicon-On-Insulator (SOI) 技術を利用した Pixel 検出器が有力候補のひとつ。

Bulk and SOI (Silicon On Insulator) Wafer



UNIBOND™ Process (1995, France LETI) -> SOITEC

- 1 Initial silicon wafers A & B
- 2 Oxidation of wafer A to create insulating layer
- 3 Smart Cut ion implantation induces formation of an in-depth weakened layer
- 4 Cleaning & bonding wafer A to the handle substrate, wafer B
- 5 Smart Cut - cleavage at the mean ion penetration depth splits off wafer A
- 6 Wafer B undergoes annealing, CMP and touch polish => SOI wafer complete
- 8 Split-off wafer A is recycled, becoming the new wafer A or B

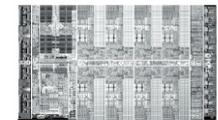
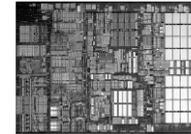


Current Status of PD-SOI and FD-SOI

◆ PD-SOI (Partially Depleted)

High-speed microprocessors

- IBM: PowerPC , mainframe CPU's, Wii(Nintendo), Xbox
- Free scale: PowerPC
- AMD: Athlon processors
- Sony (with IBM and Toshiba) : Cell, PS3



◆ FD-SOI (Fully Depleted)

Low-power application

- Oki: solar cell watch, long-wave RF decoder

Technology Node option beyond 32nm, Next 3D Tr.

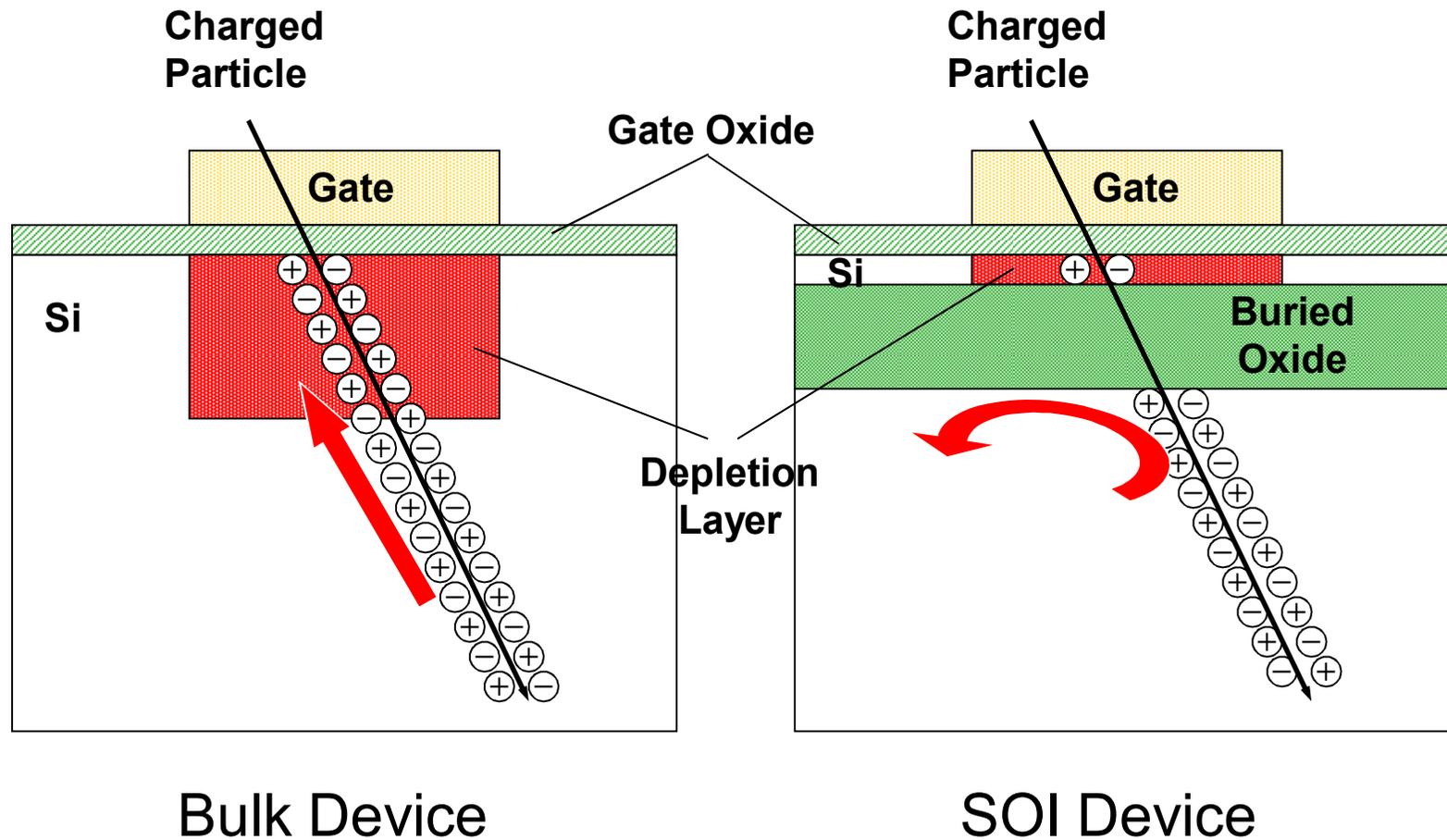
- Intel, many major companies



<http://www.casio.co.jp>

**At present, only Oki has an experience
of mass production of FD-SOI**

High Soft Error Immunity

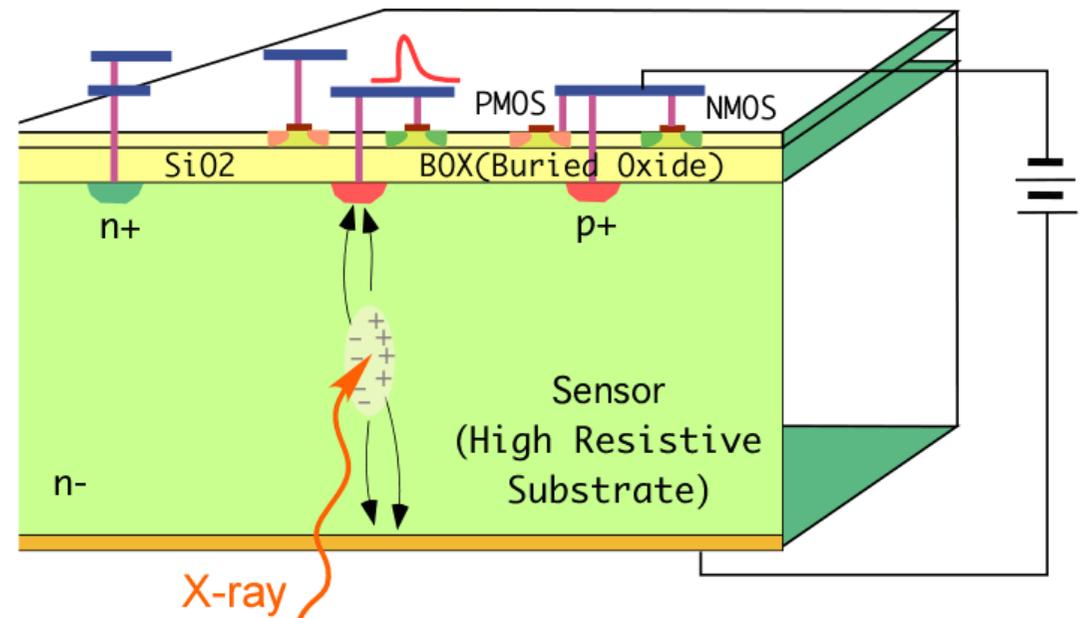


Higher soft error immunity due to ultra thin body Silicon.

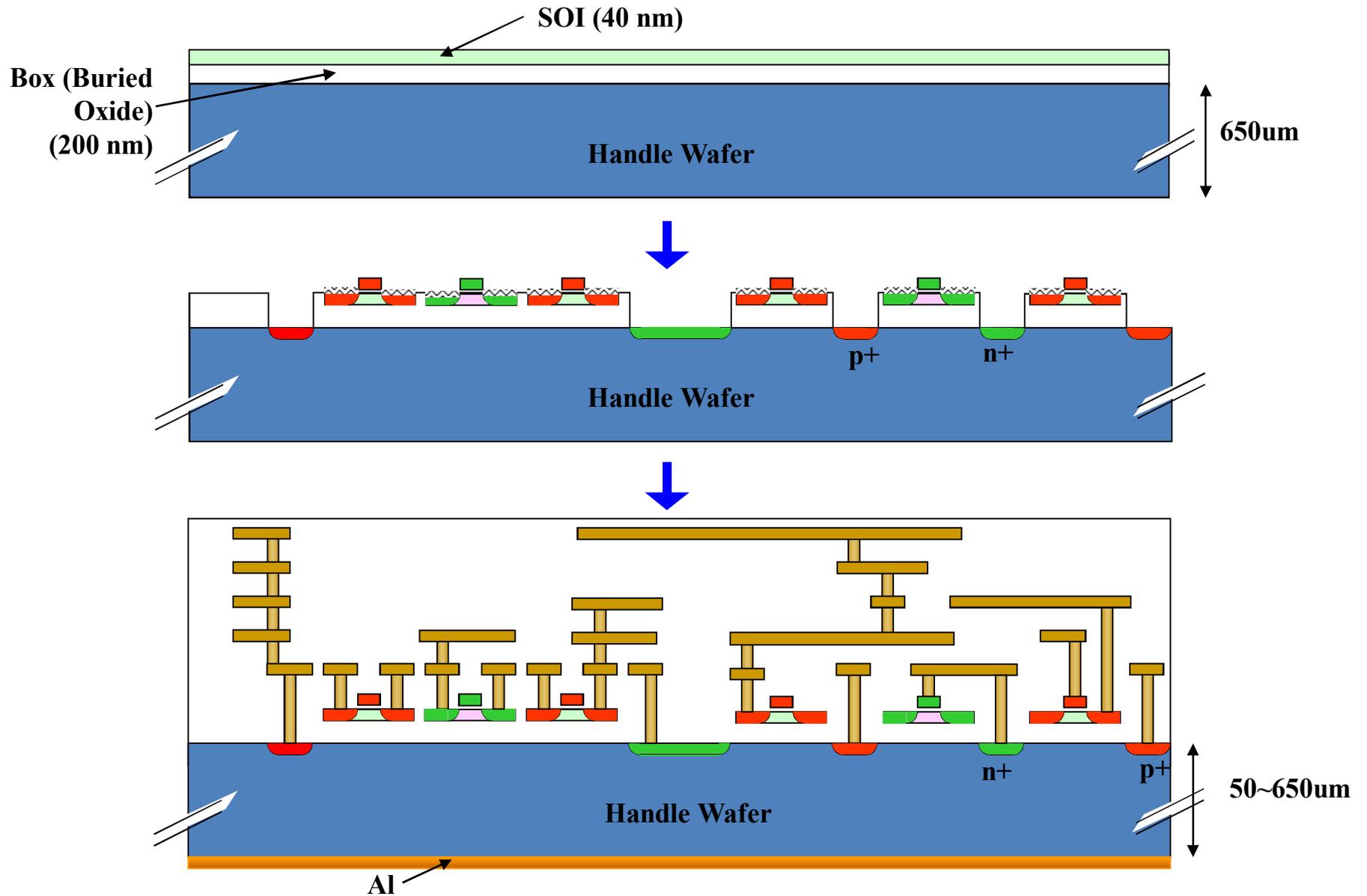
SOI Pixel検出器

- 高比抵抗Si基板と低比抵抗Si基板を絶縁層を介して張合わせ。
- 高比抵抗部にp-n junctionを生成し、センサーとする。
- 絶縁層 (BOX: Buried Oxide) に穴を開けセンサーと回路を接続。

Monolithic Radiation
Sensor として理想的
な構造

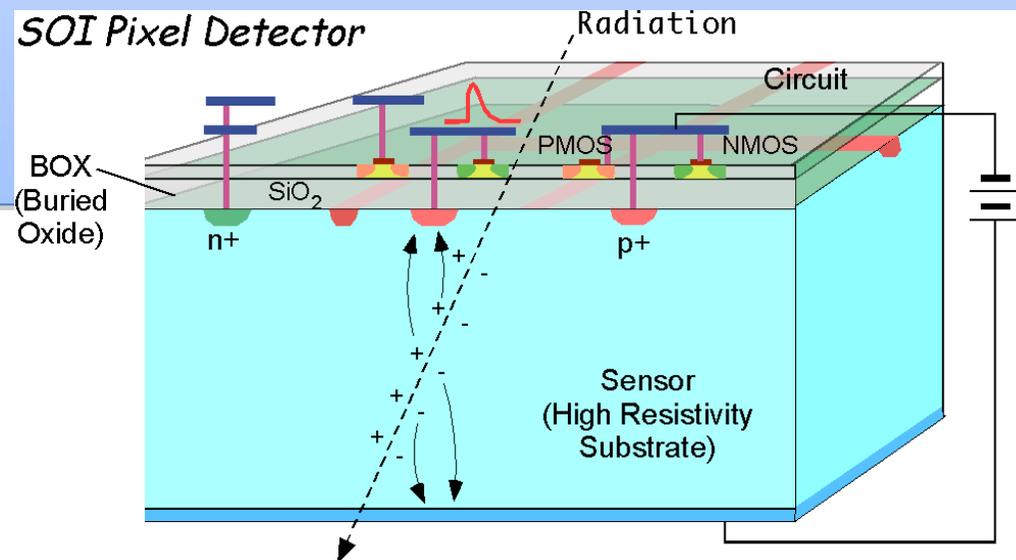


SOI Pixel Process Flow



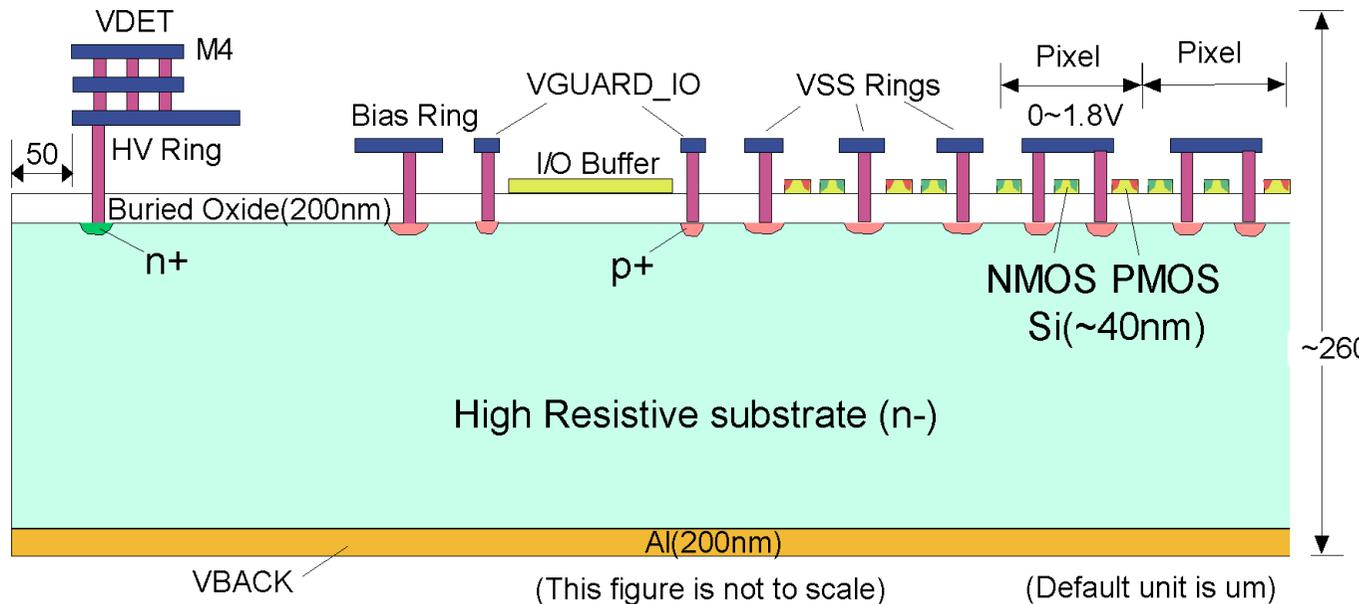
SOI Pixel検出器の特徴

- 余分な物質が少なく、多重散乱をおさえられる。
- 電極容量が小さく、少ない電荷(薄いセンサー)で大きなS/Nが得られる。
- 複雑な信号処理回路を各ピクセルに持たせられる。
- 高レート、高速読み出しが可能。
- 機械的接合がなく、高分解能化、低価格化が望める。
- 産業界の標準プロセスを基本に開発。



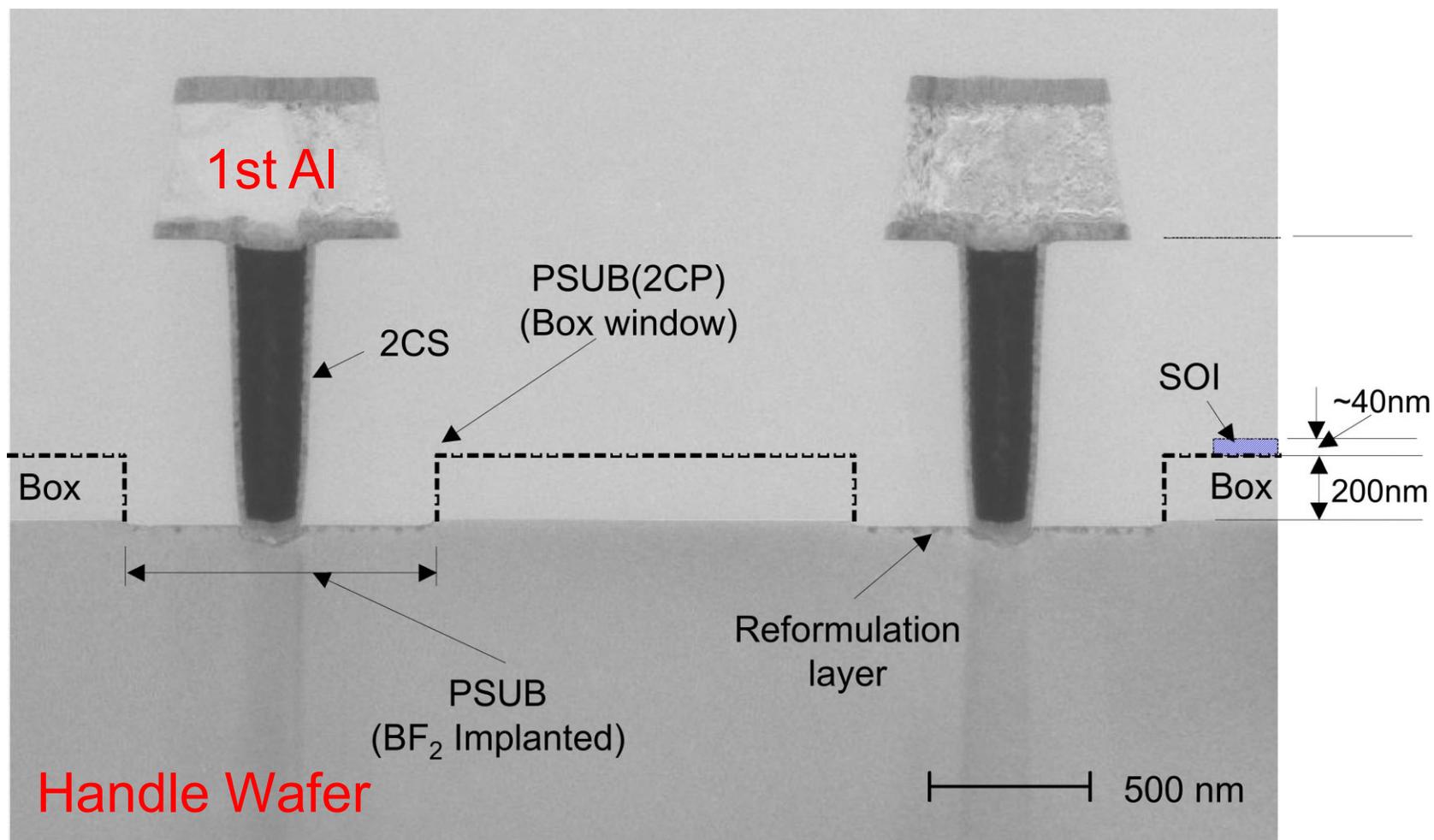
OKI 0.2 μm FD-SOI Pixel Process

Process	0.2 μm Low-Leakage Fully-Depleted SOI CMOS (OKI) 1 Poly, 4 Metal layers, MIM Capacitor, DMOS option Core (I/O) Voltage = 1.8 (3.3) V
SOI wafer	Diameter: 200 mm ϕ , Top Si : Cz, $\sim 18 \Omega\text{-cm}$, p-type, $\sim 40 \text{ nm}$ thick Buried Oxide: 200 nm thick Handle wafer: Cz, $700 \Omega\text{-cm}$ (<i>n-type</i>), 650 μm thick
Backside	Thinned to 260 μm , and sputtered with Al (200 nm).



An example of a SOI Pixel cross section

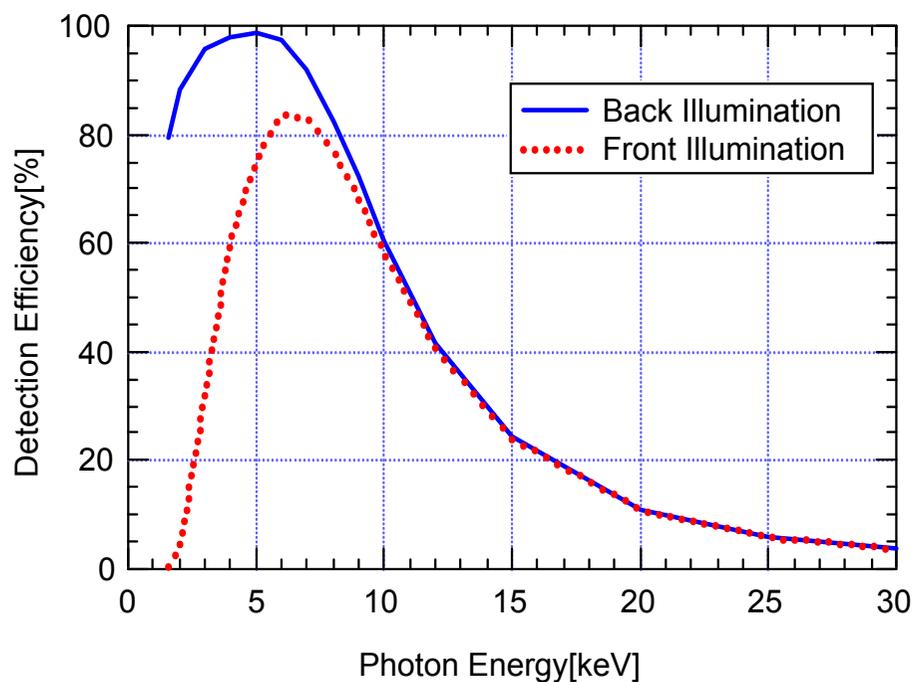
Metal contact & p+ implant



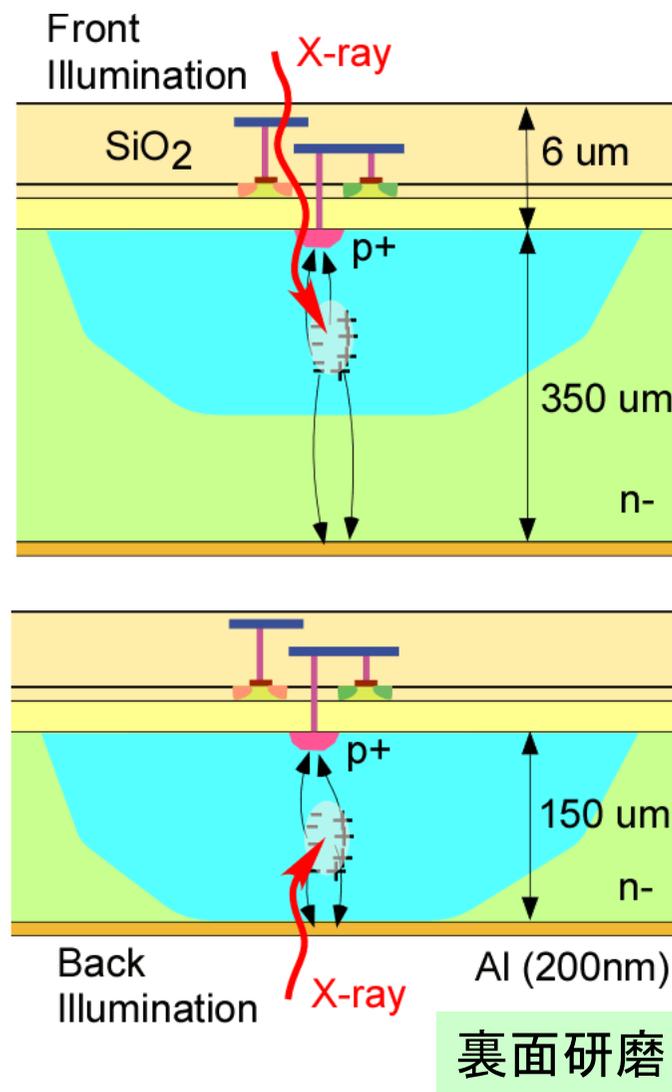
SOI Pixel X線検出効率

空乏層厚150 μm 時のX線検出効率

~20 keV 検出効率>10%



薄く安く出来るので、複数重ねて検出効率を上げる事も出来る。

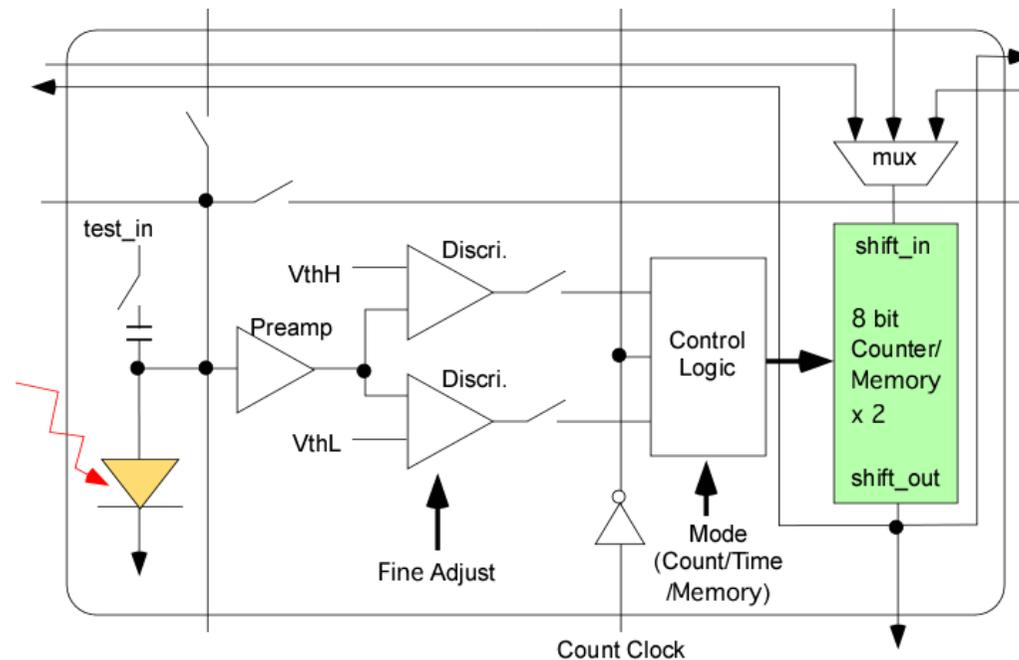
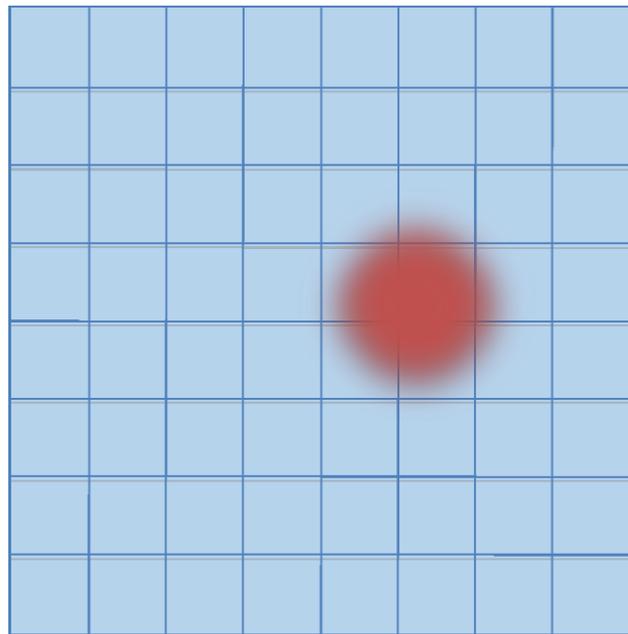


将来的にはSi以外のセンサーも可能

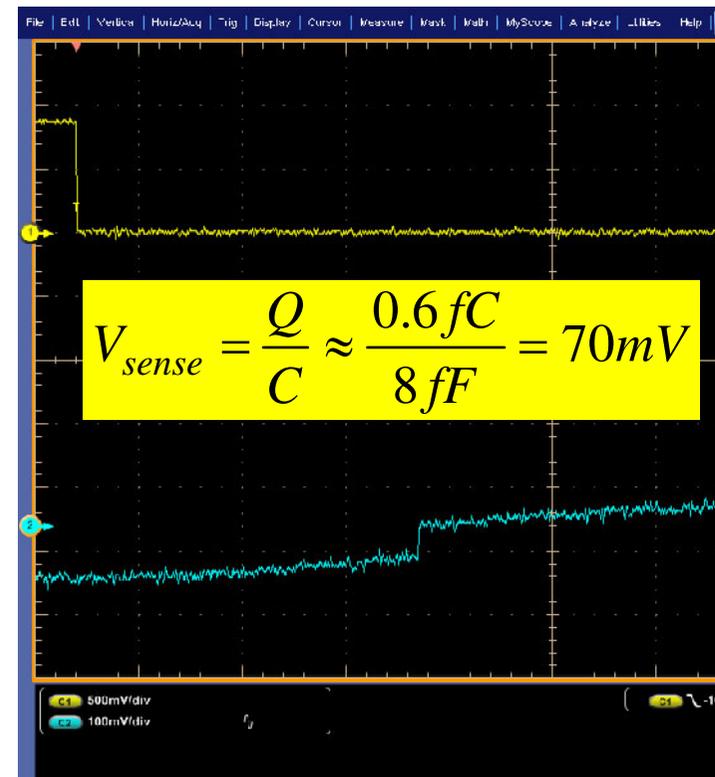
その他SOI Pixelで可能になる事

ピクセル毎に複雑なアナログ／デジタル回路を持てるので、
Photon Counting (高S/N, 高ダイナミックレンジ)、
エネルギー測定、時間測定、ヒット計数 (ヒストグラミング)、
ローカル記録 (高速測定)、近接ピクセル相関、セルフトリガー、...
といった機能を内蔵する事が可能になる。

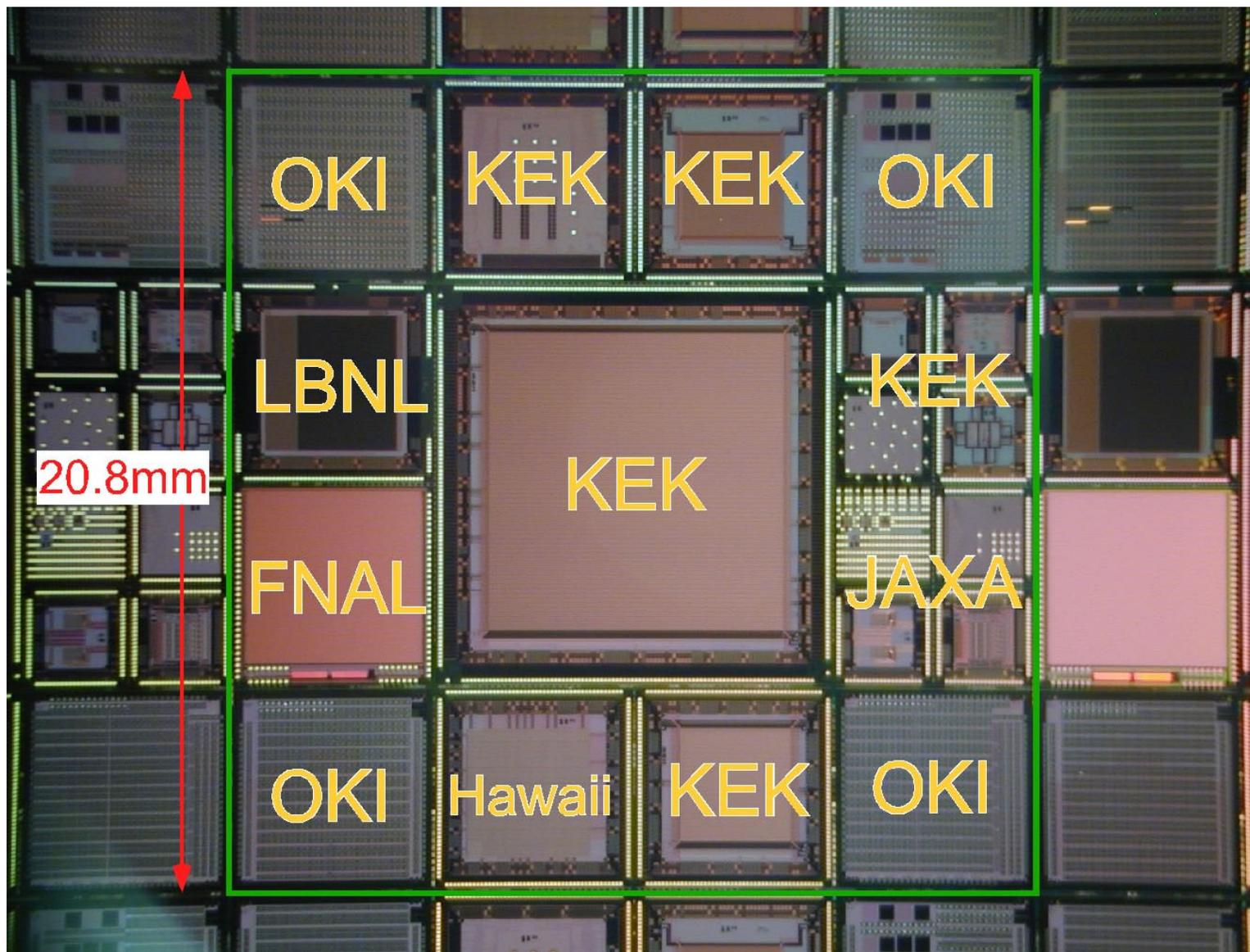
アイデア次第！



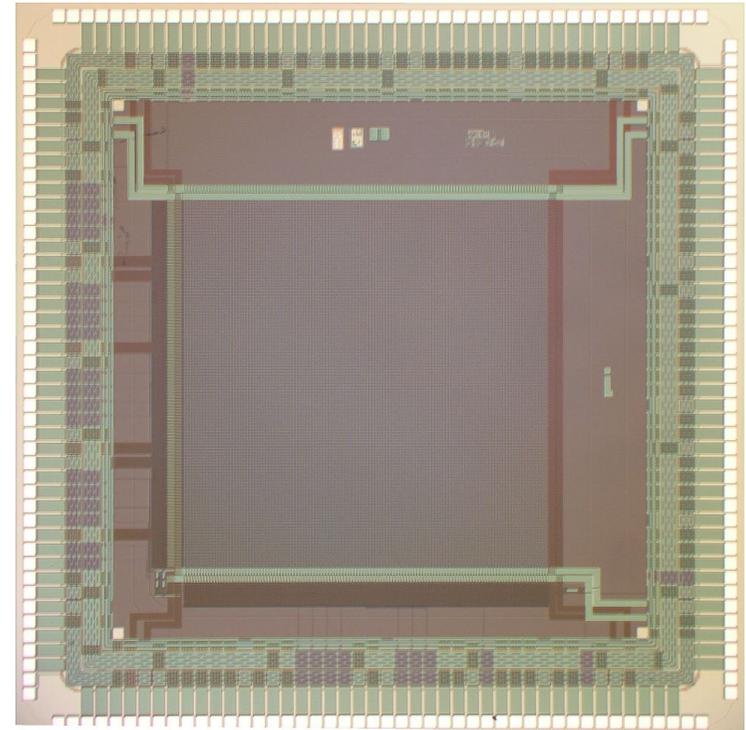
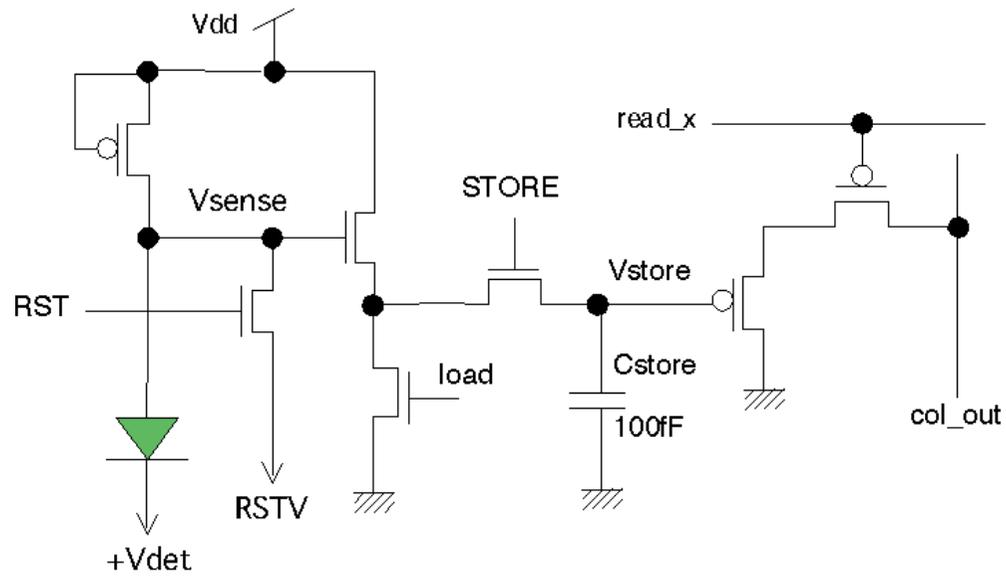
3. SOI Pixel Detectorの開発状況



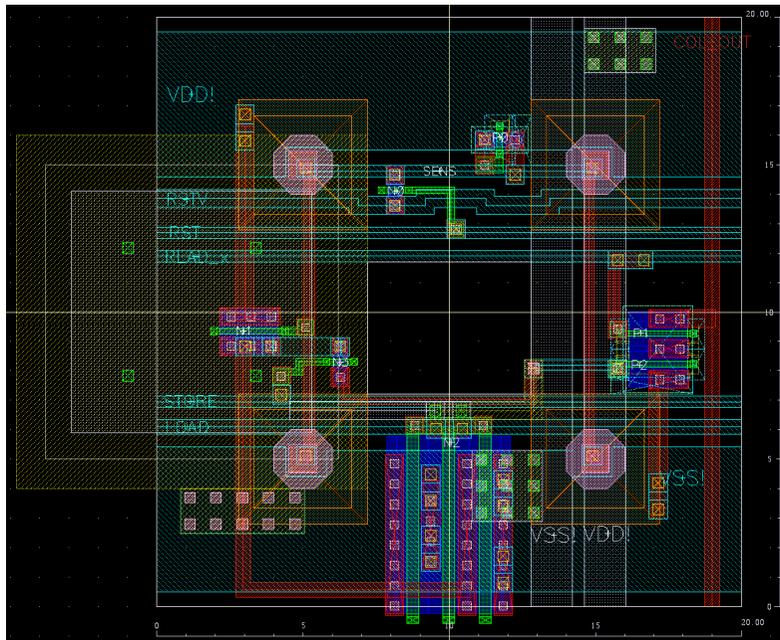
KEK SOI Multi Project Wafer (MPW) run (2008.1)



Integration Type Pixel (INTPIX)



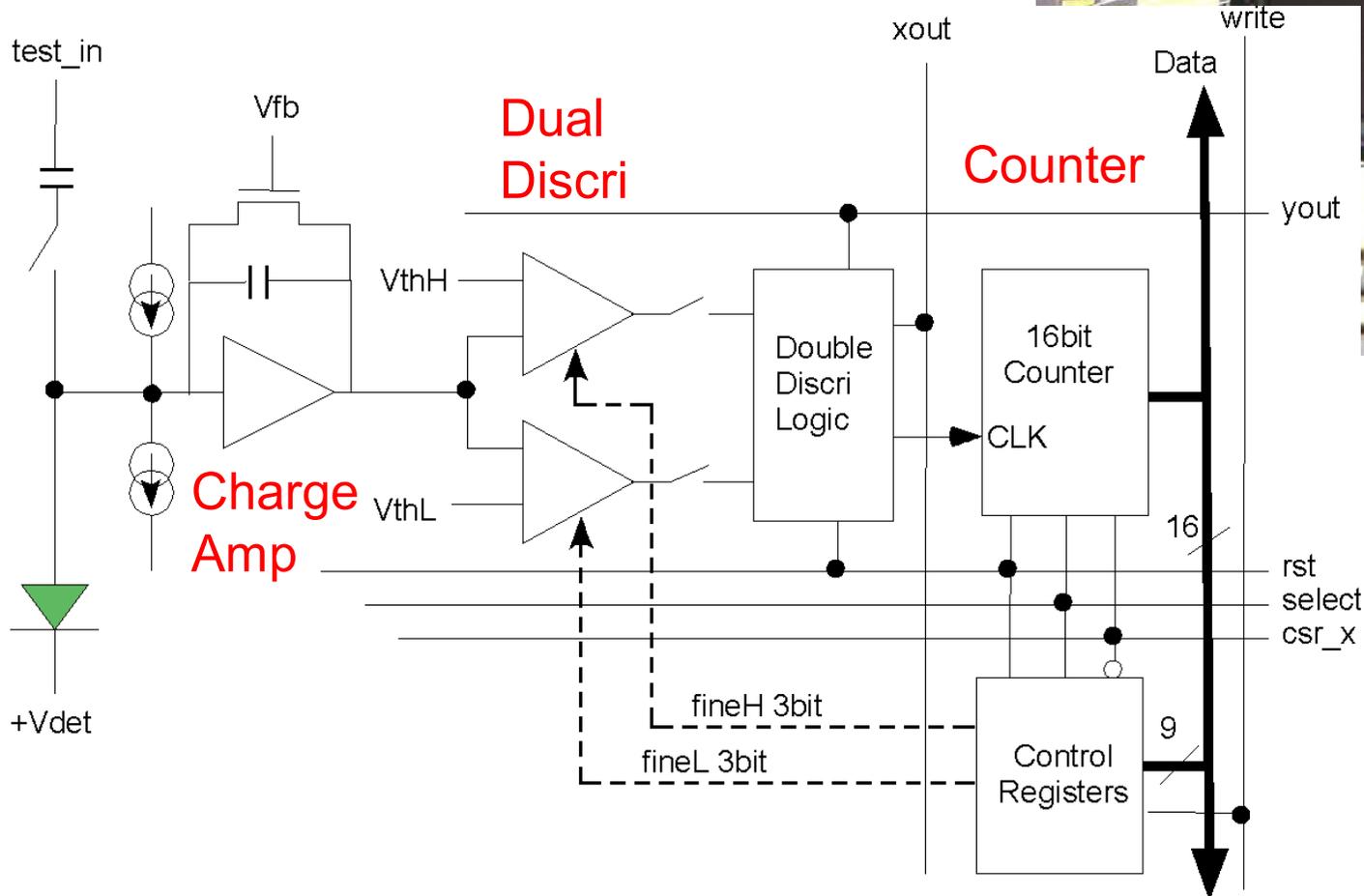
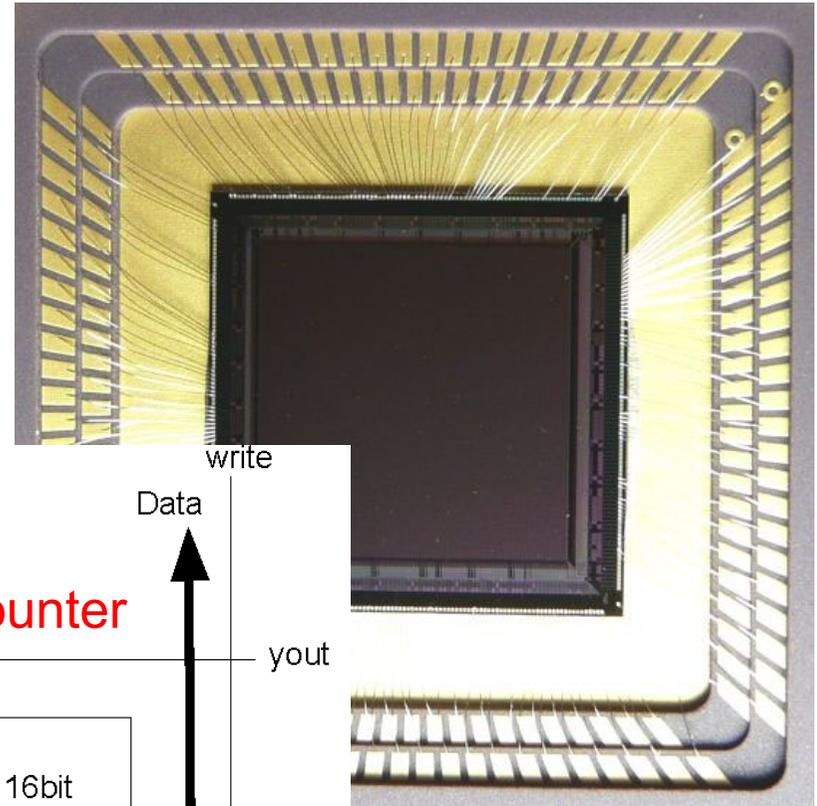
128 x 128 pixels
5 x 5 mm²



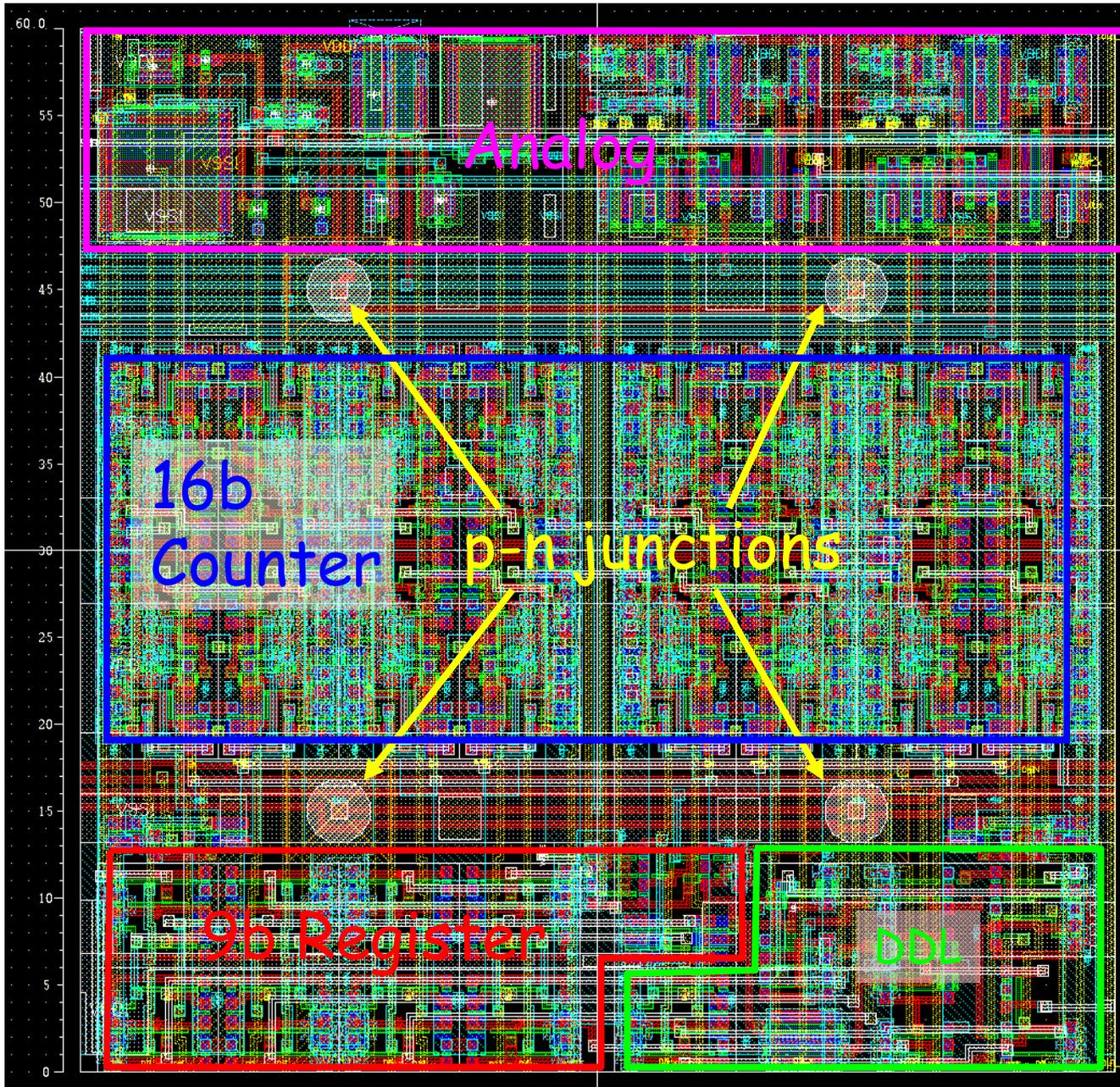
20 μm x 20 μm pixel

Counting Type Pixel

Energy window and counting in each pixel.



10.4 mm \square
128 x 128 pix

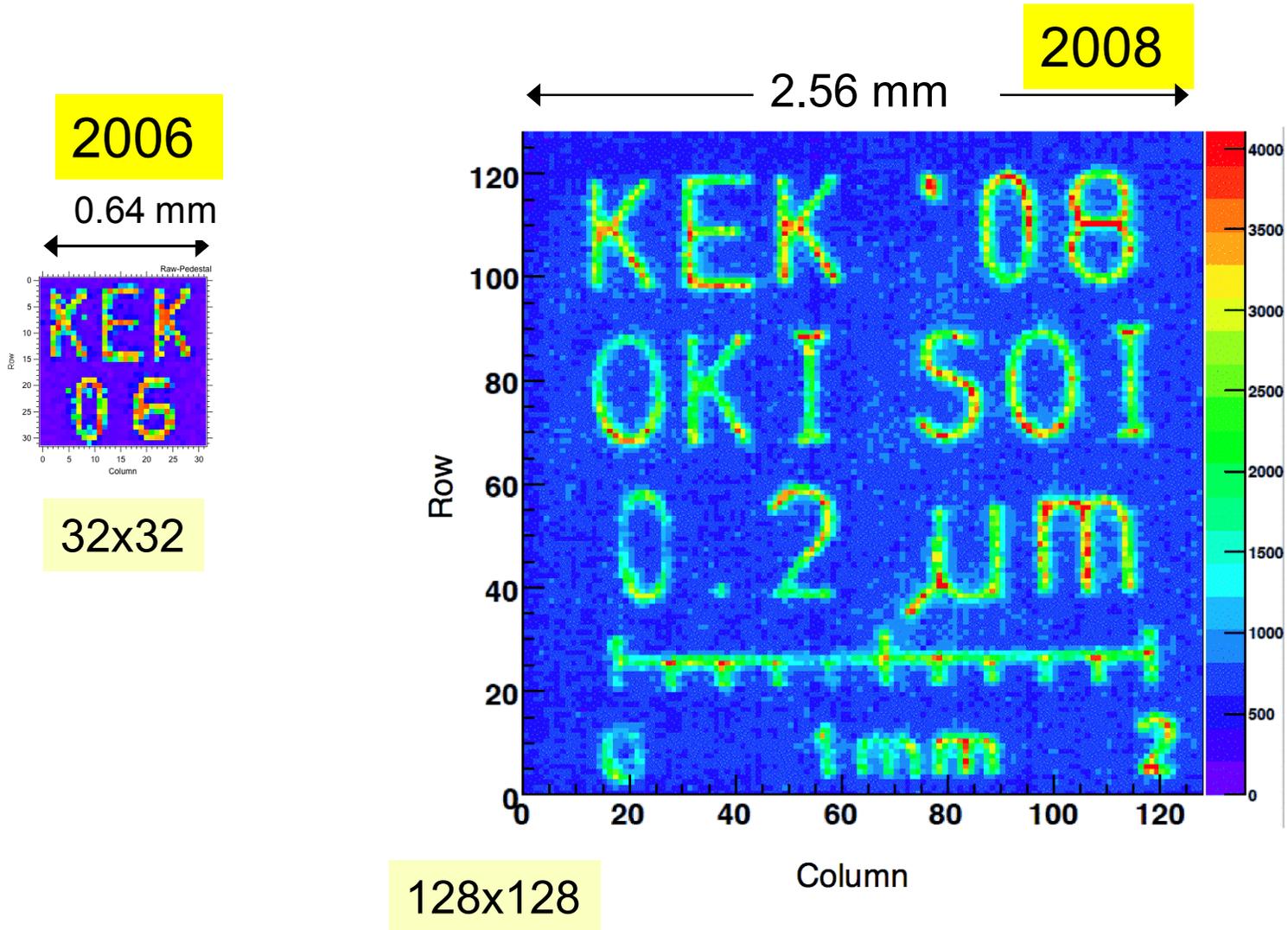


CNTPIX2
Pixel

~600 Tr/pix
x 128 x 128
= 10,000,000 Trs

60x60 μm^2

SOI Pixel Laser Images



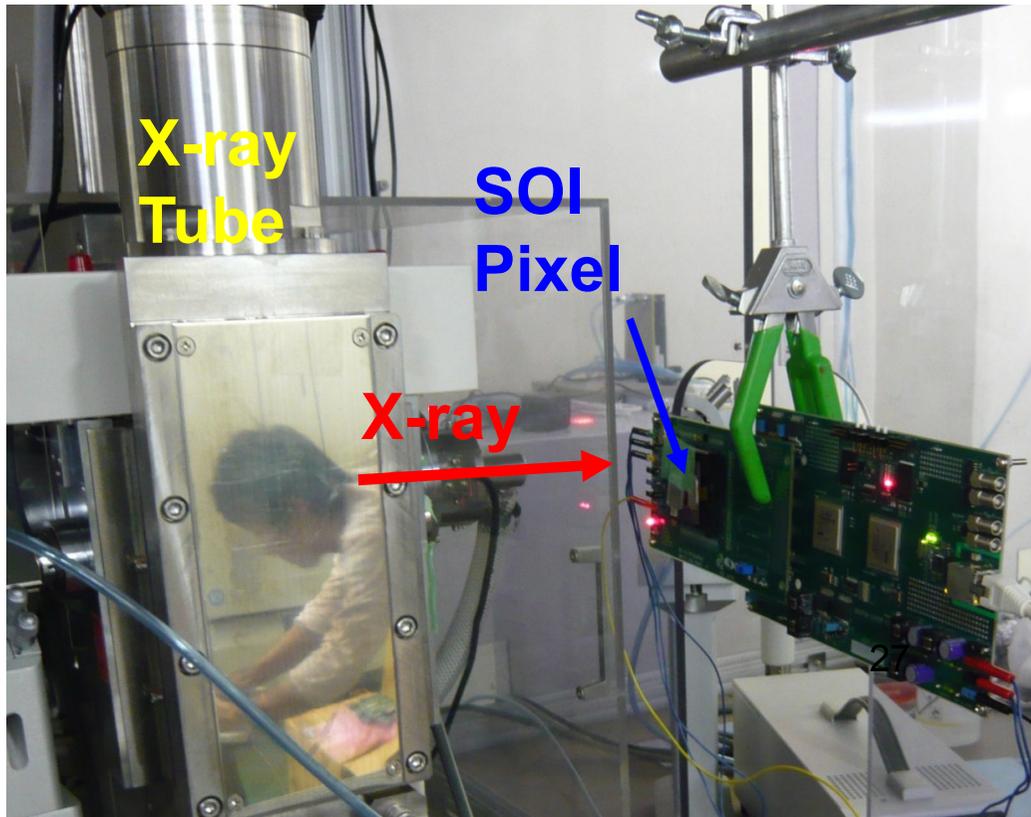
X-ray Irradiation Test

X-ray Generator : Rigaku FR-D

Target : Cu (Cu $K\alpha$ ~8keV)

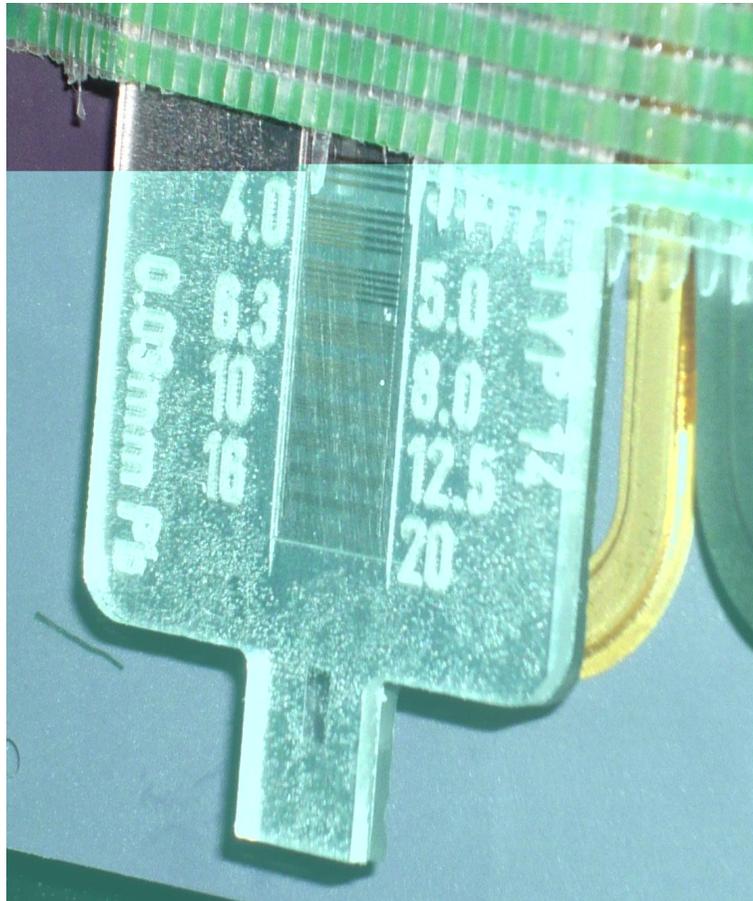
Power : 30-35kV, 10-30mA (max 50kV,60mA)

Intensity : $\sim 10^4$ photons/pixel/sec @30kV,10mA



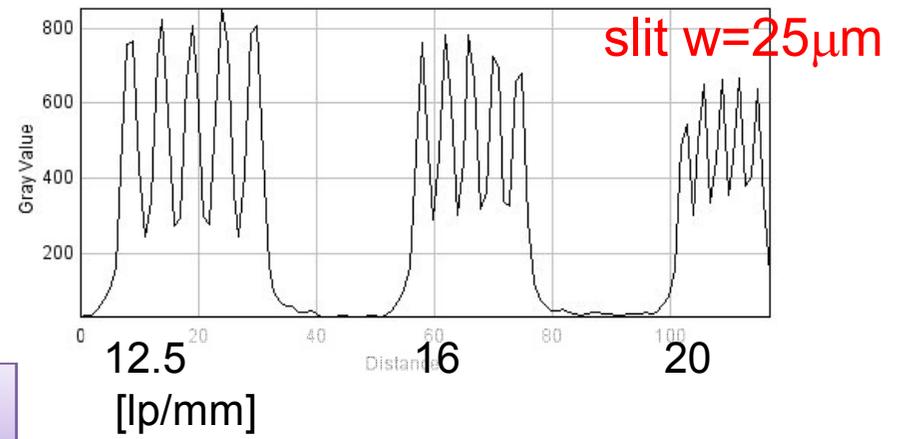
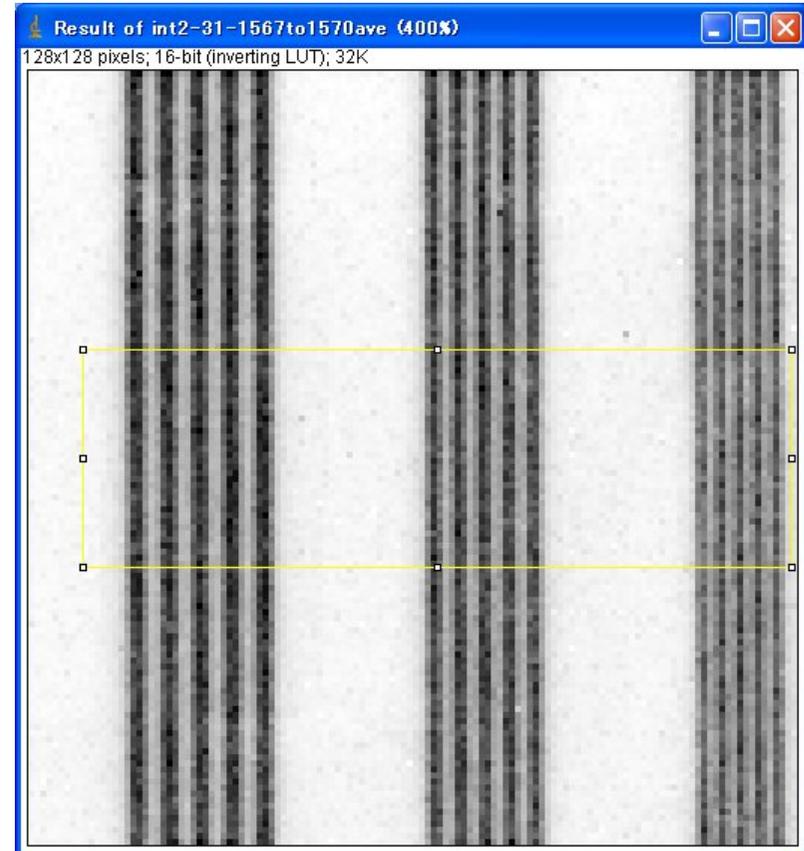
Position resolution
(pixel size=20 μ m x 20 μ m)

INTPIX2

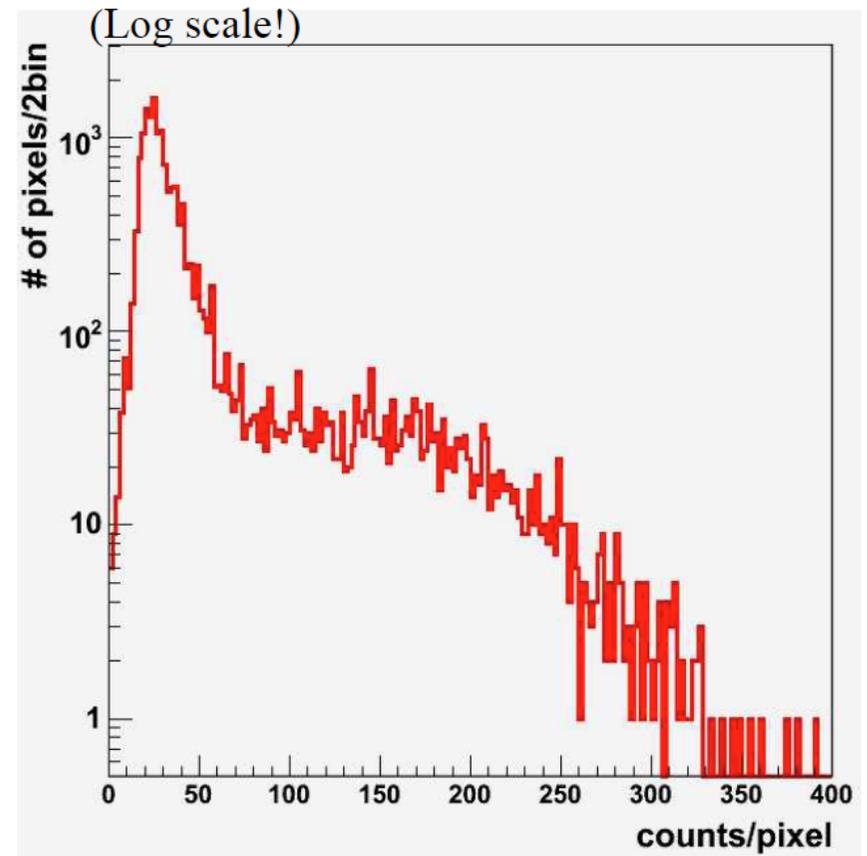
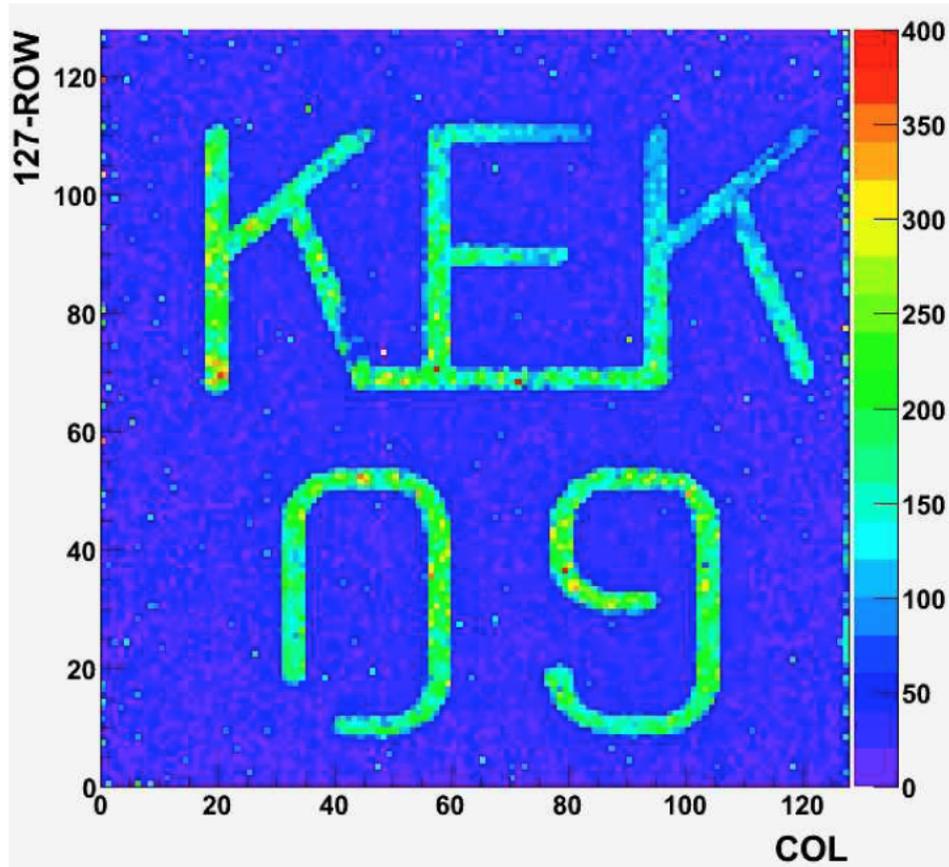


X-ray Test Chart

25 μ m Slit is well separated.



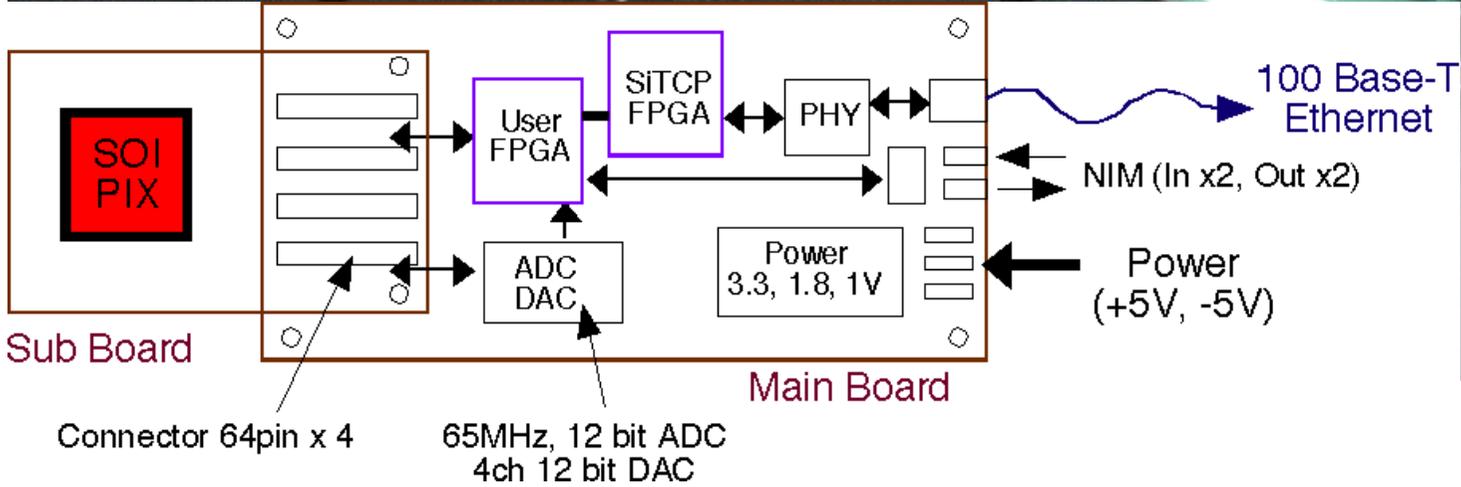
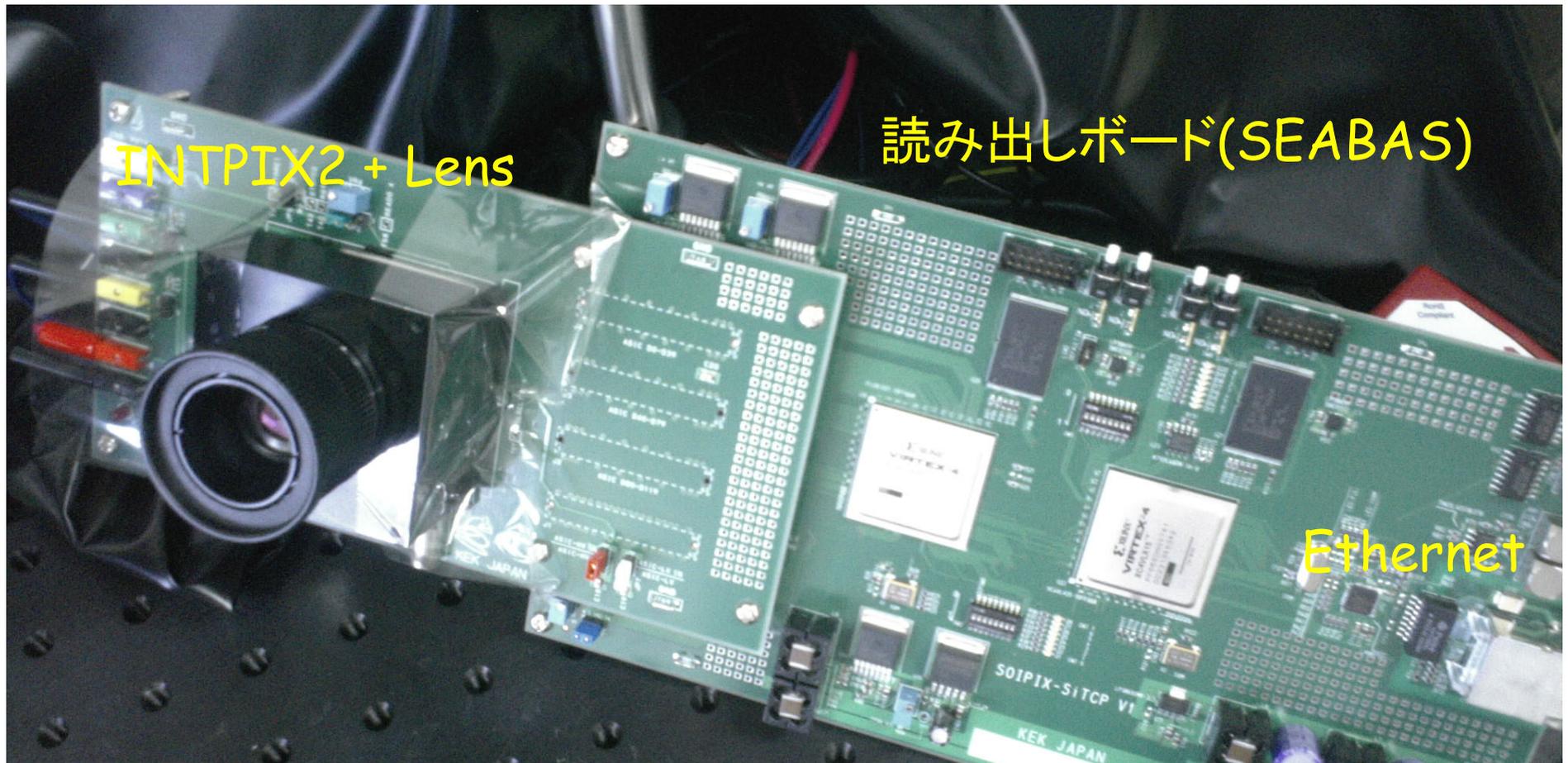
Brass (Cu/Zn) mask image (CNTPIX2.1)



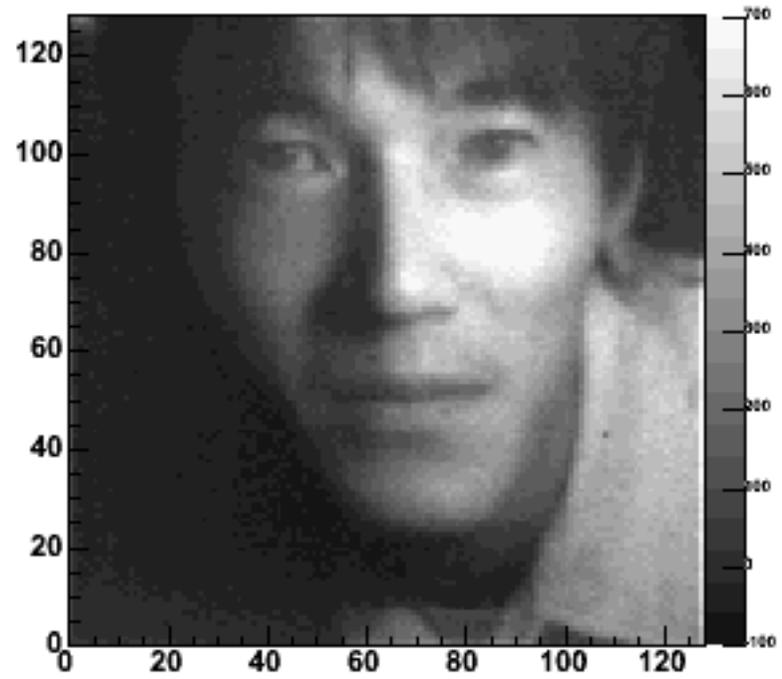
Counter works fine!

Integration time 1.6ms

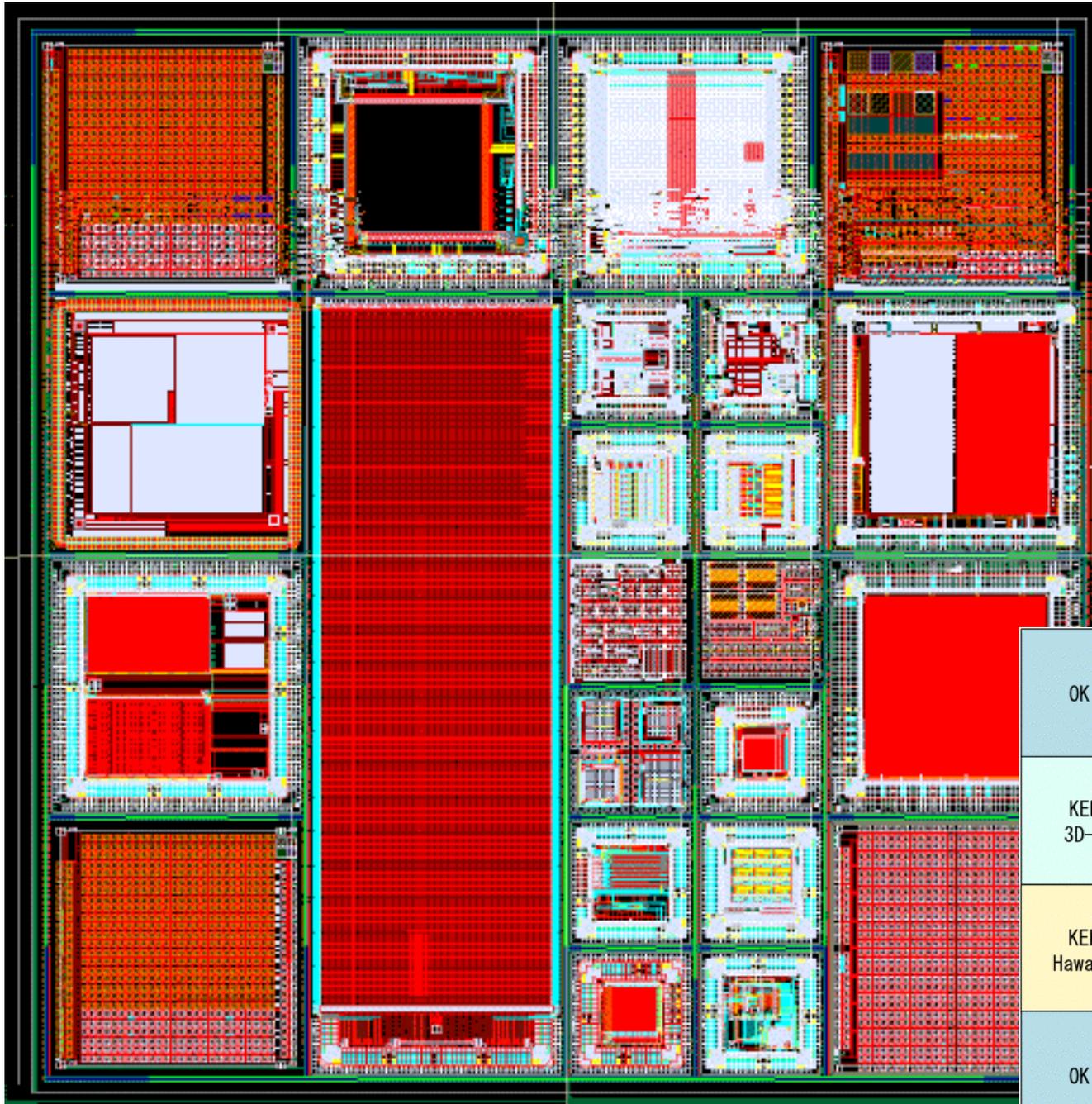
$V_{back} = 20V$, $V_{ref} = 1600mV$, $v_{thl} = 1400mV$



image



Max Readout Speed ~300 frames/sec (200 ns/pixel)

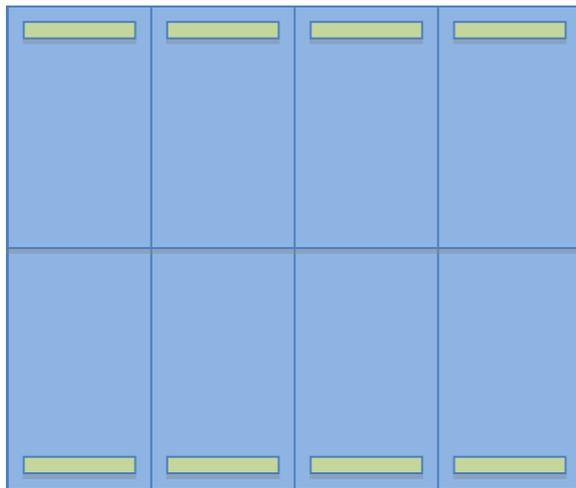


Feb. 20, 2009
MPW Submission

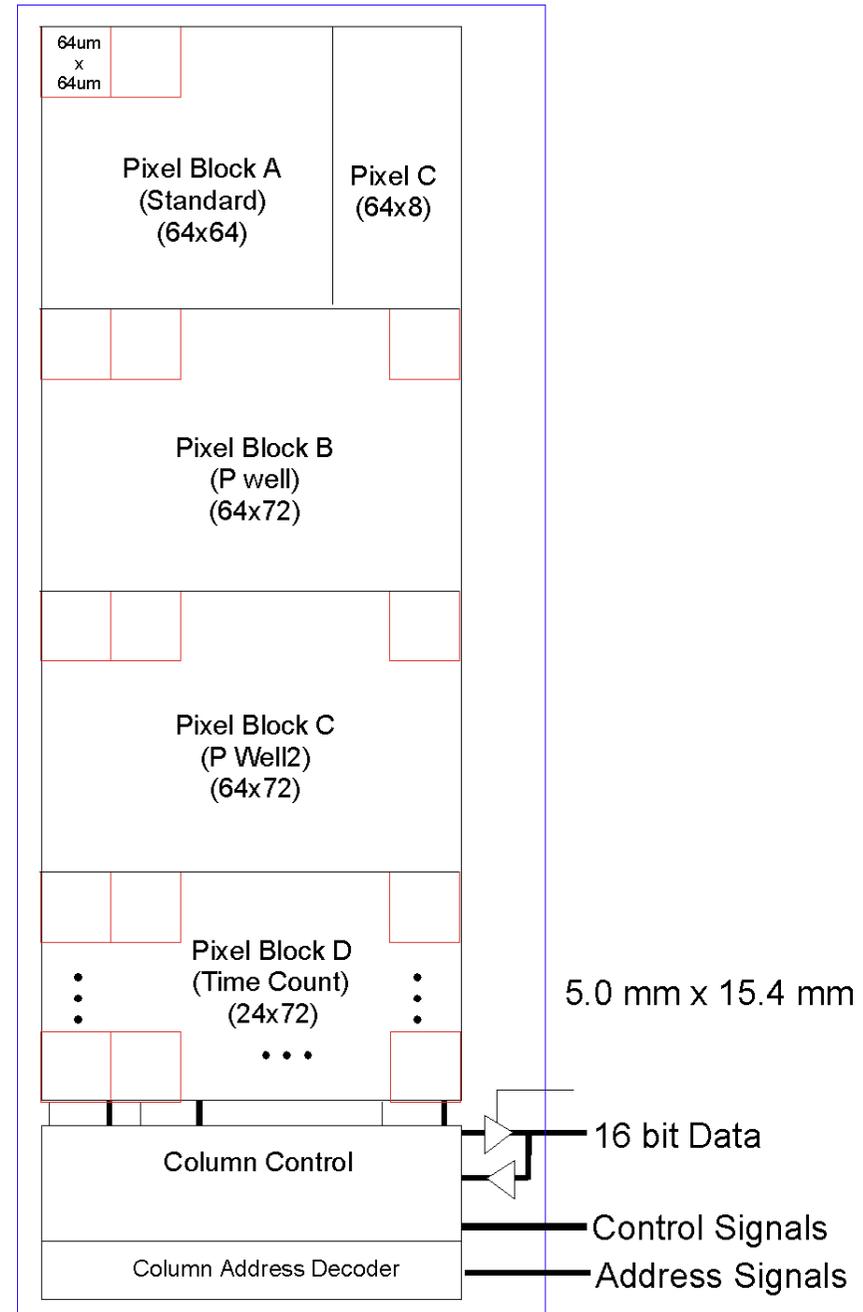
OKI	KEK INTPIX3	Riken A-R-Tec	OKI
KEK 3D-A	KEK CNTPIX3	JAXA Ikeda	KEK 3D-B
KEK Hawaii		JAXA Kobayashi	KEK LBNL
OKI		JAXA Nagata	Riken Hatsui
		KEK Krakow	KEK Tohoku
		KEK CDS	KEK TDC
			OKI

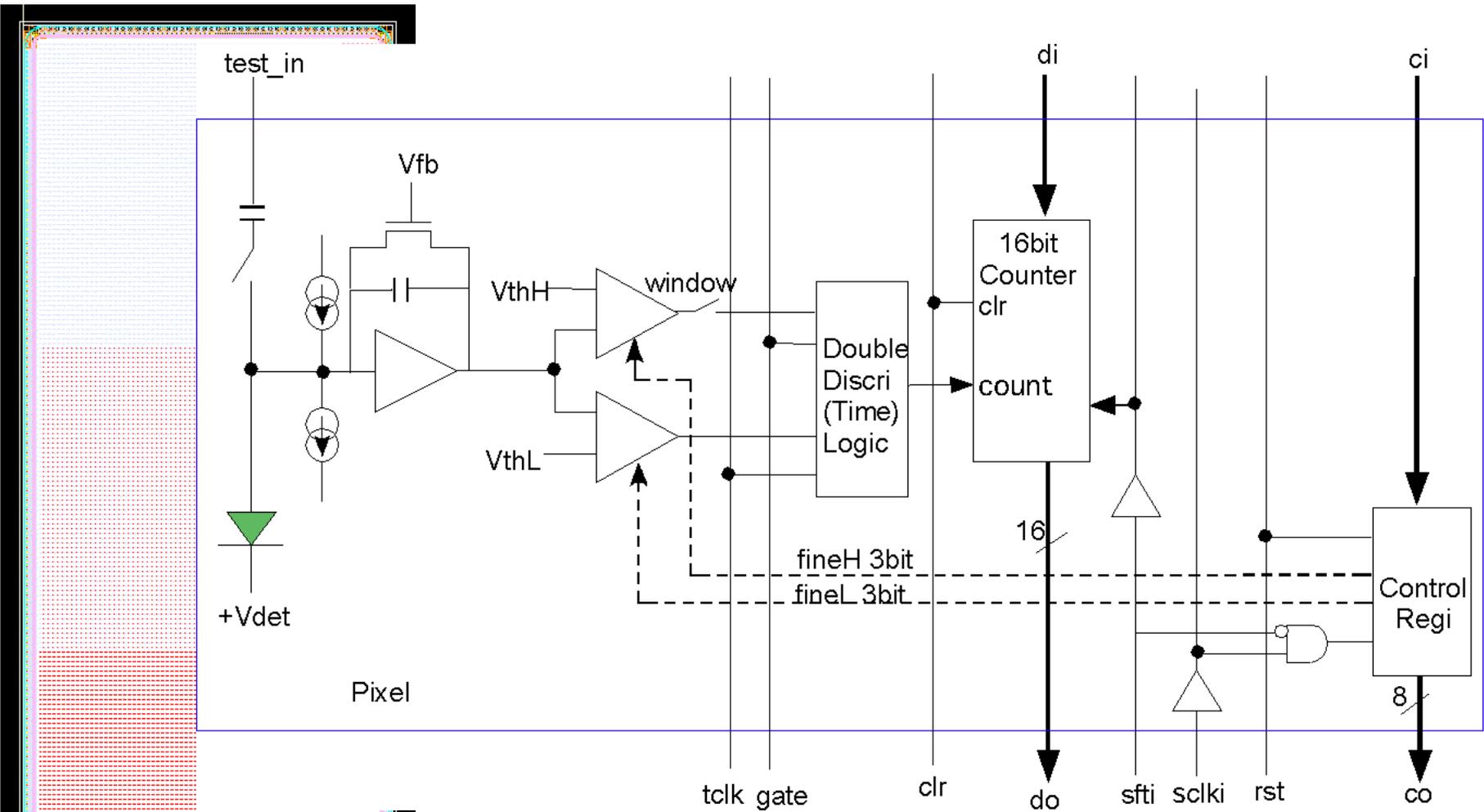
CNTPIX3

- 4 kinds of Pixel Block
216 x 72 (15,552) pixels
- 5.0 x 15.4 mm² chip size
- 64 x 64 um² pixel size
- Enable Tiling



Tiling





CNTPIX3 Pixel Circuit

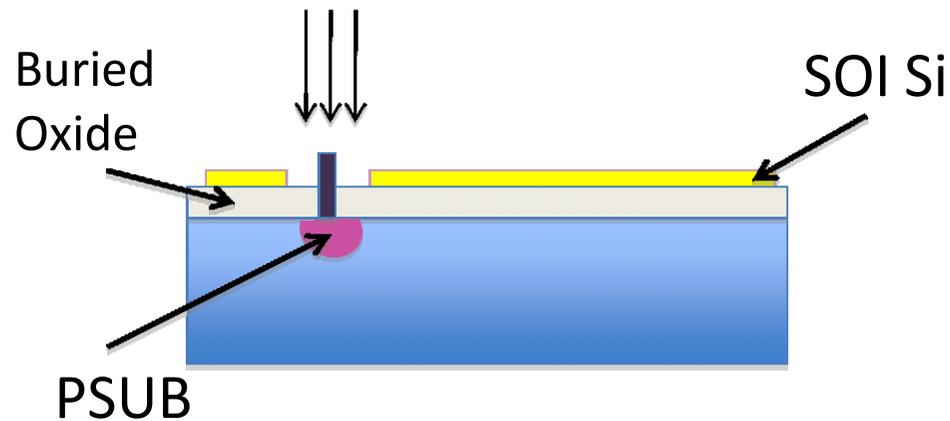
その他のR&D

- Buried P-Well process技術の開発
- 3D(Vertical) Integration
- APD構造Study
-

BPW

Normal Implantation

Buried P-Well (BPW)



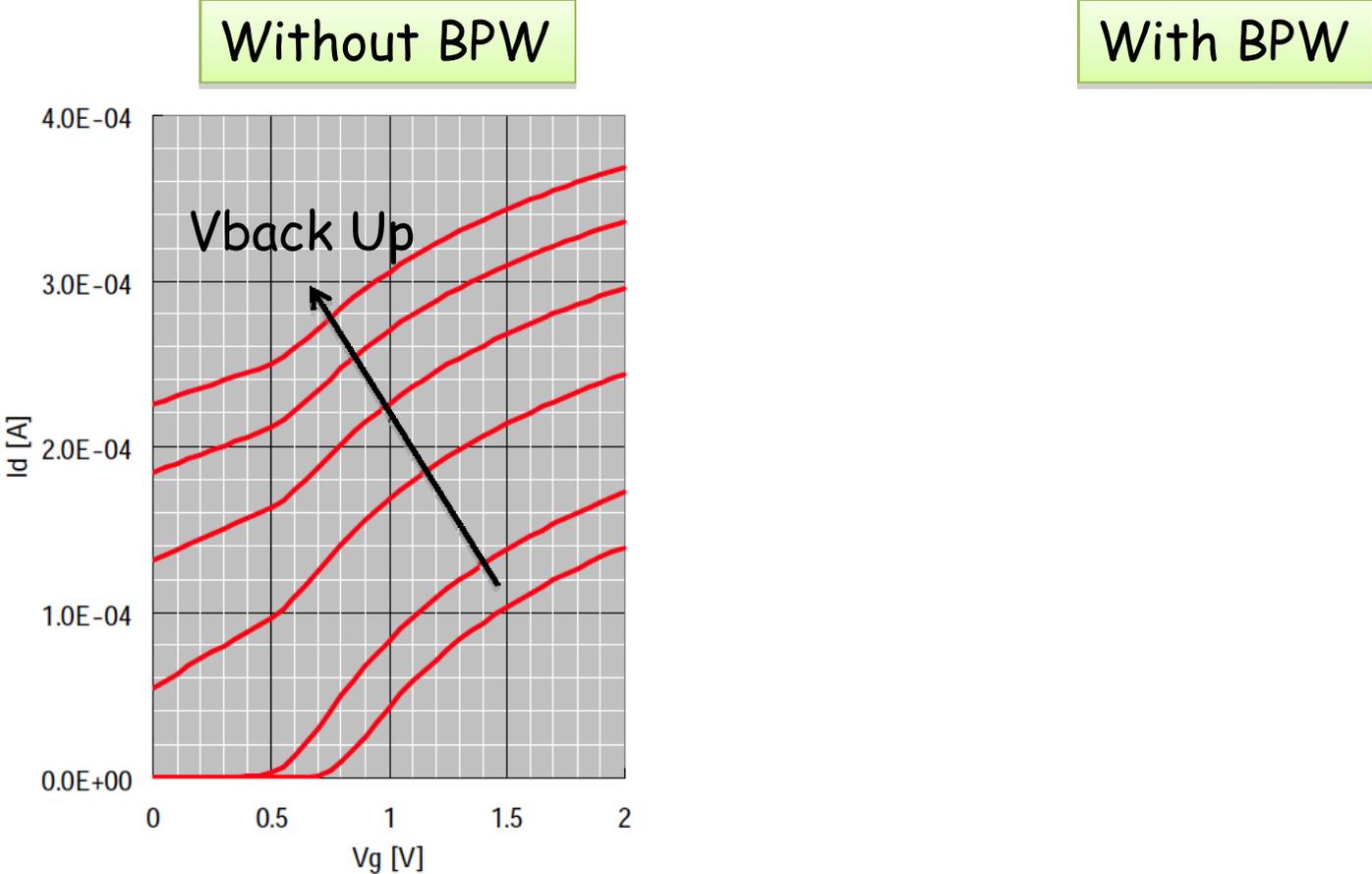
- Cut Top Si
- High Dose

- Keep Top Si
- Low Dose

- Suppress back gate effect.
- Reduce electric field around p+ sensor.
- Less electric field in BOX to improve radiation hardness

BPW

Suppression of Back Gate Effect with BPW



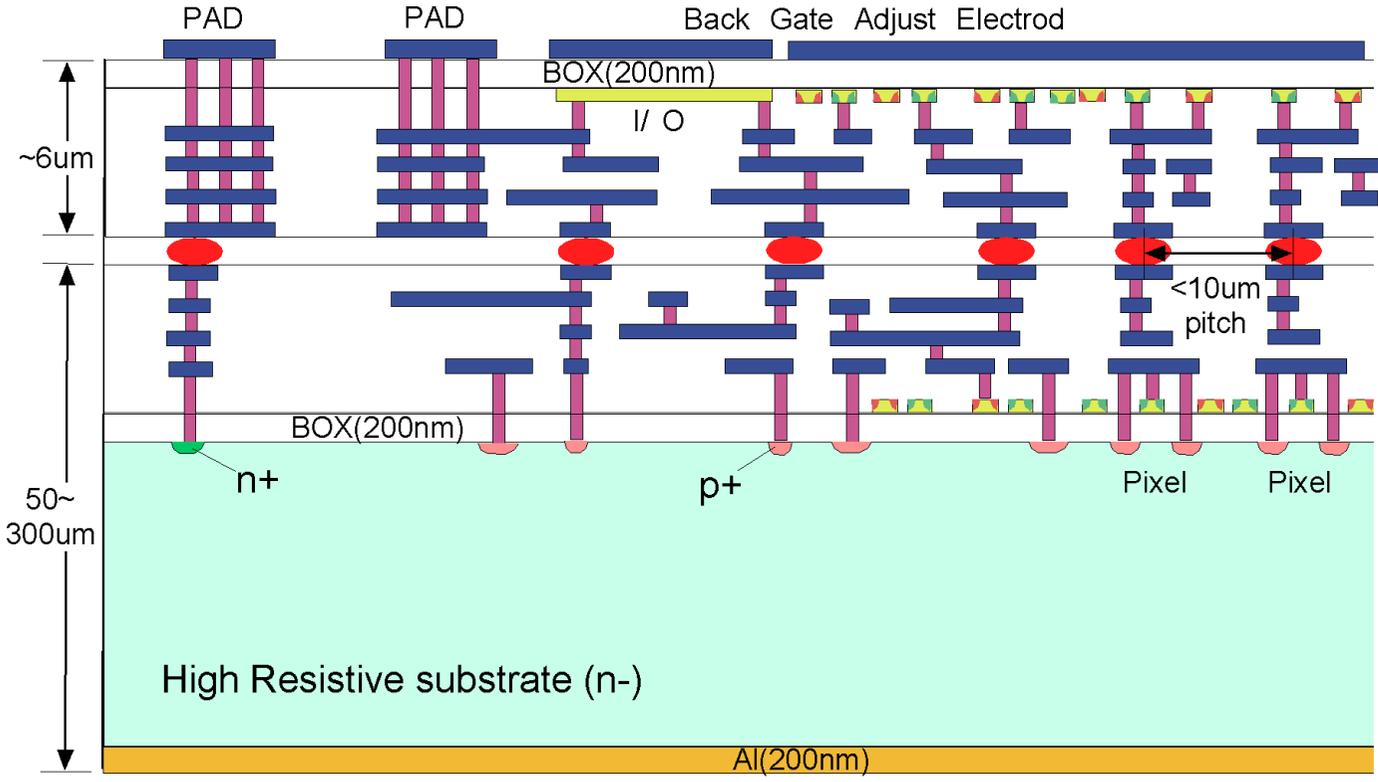
BPW Layer is very effective to suppress back gate effect.

3D

Vertical (3D) Integration

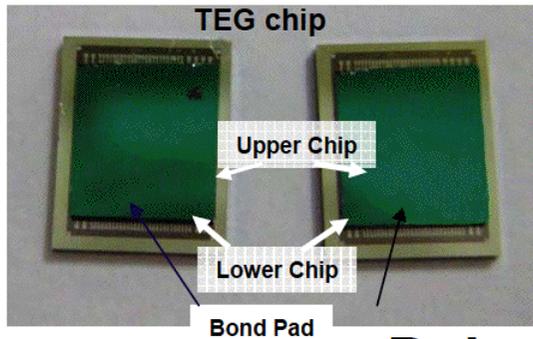
ZyCube(Tohoku Univ.)
+ OKI + KEK/LBNL

ZyCube社 の μ -bump bonding ($\sim 5 \mu\text{m}$ pitch) 技術を使って、さらに高集積化の研究も行っている。

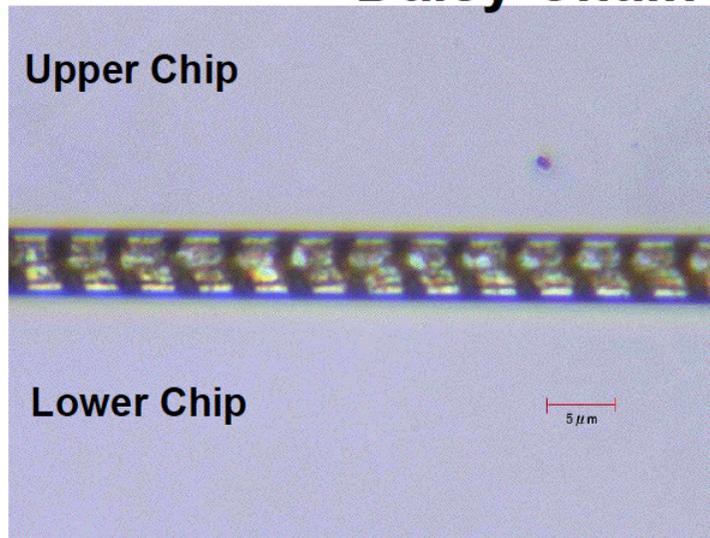


3D

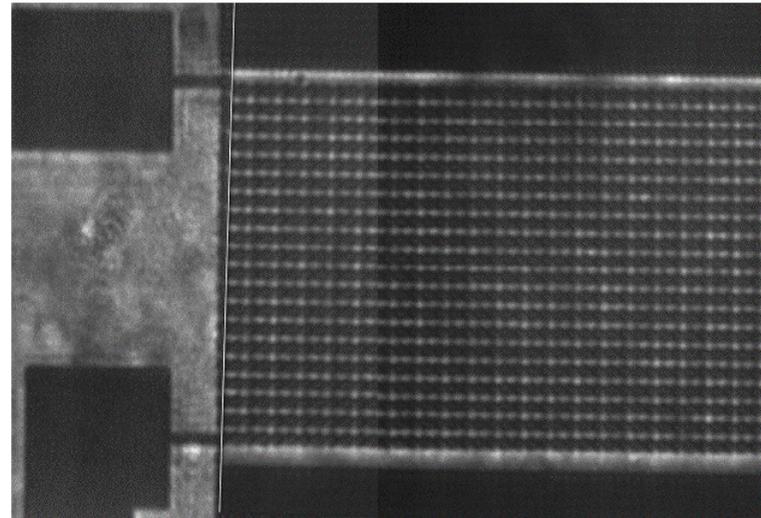
5 μ m pitch μ -bump



Daisy Chain with 10⁴ μ -bumps



Cross section

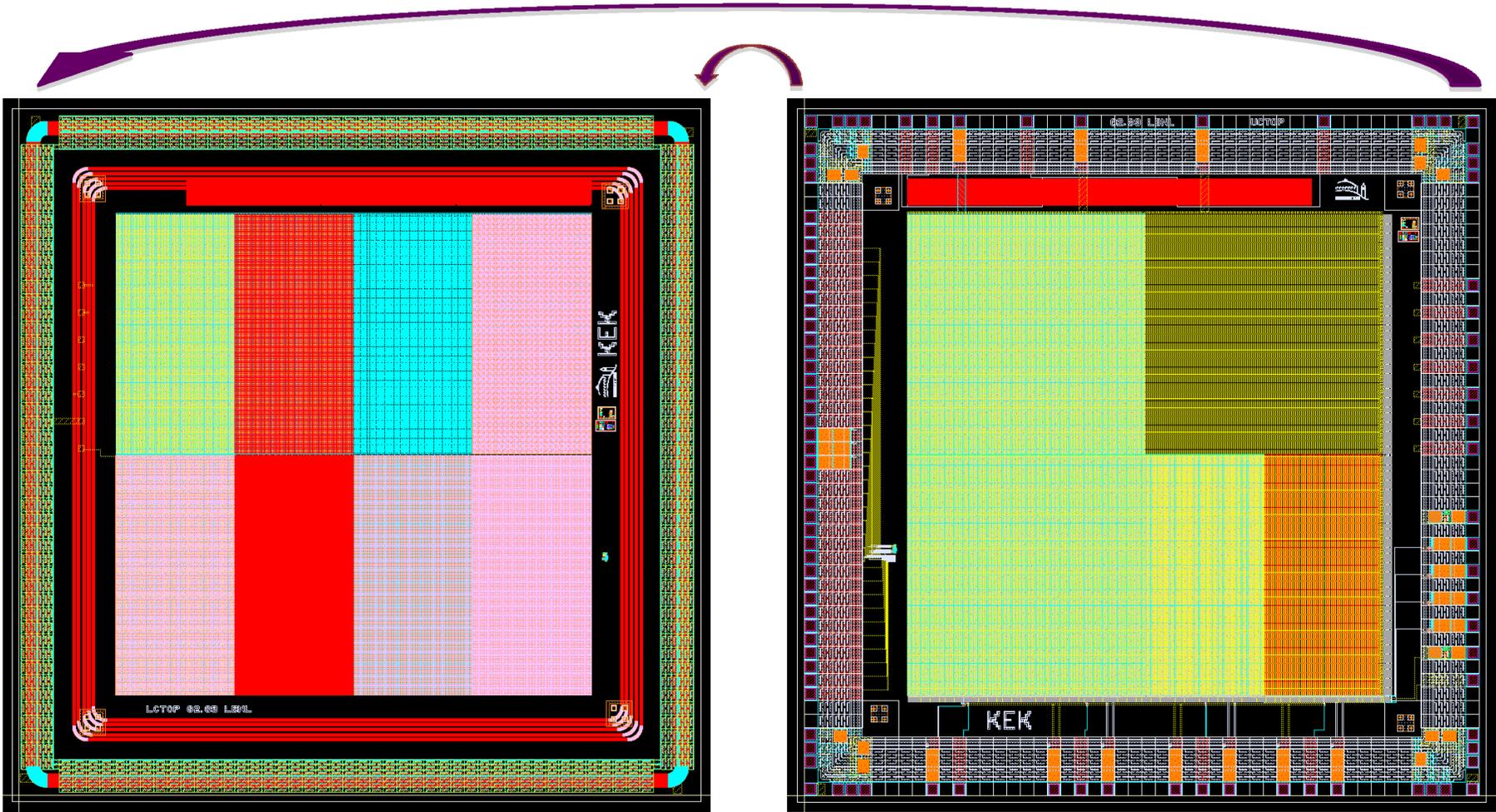


Plain View(IR microscope)

Tohoku Univ. / ZyCube

3D

Vertical Integration

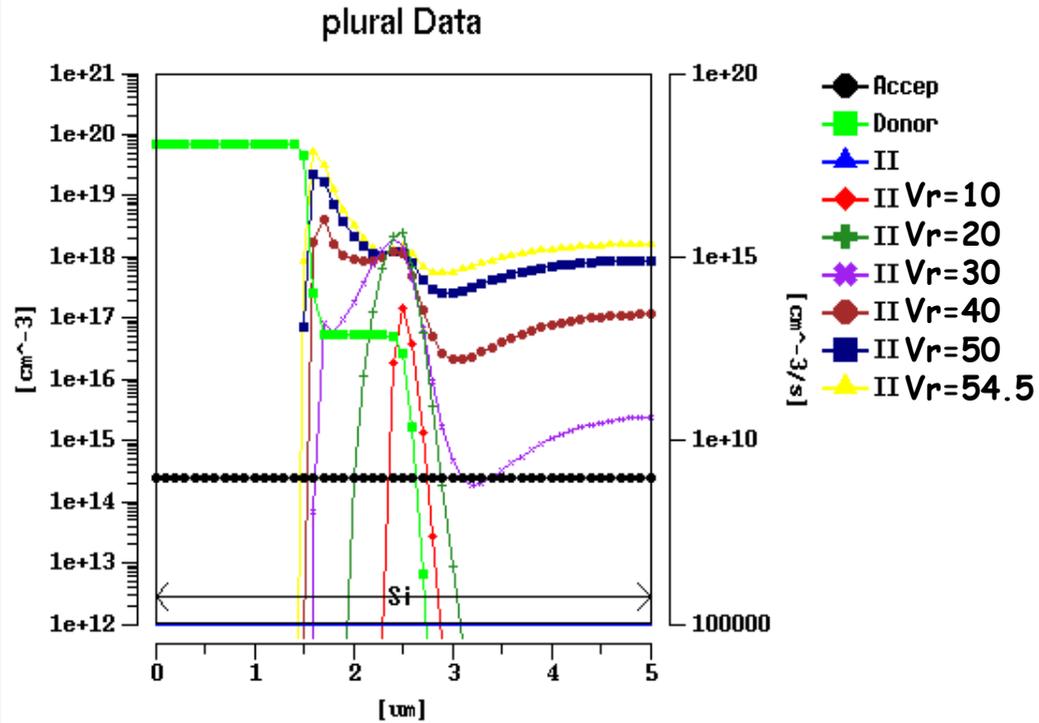


Lower Chip

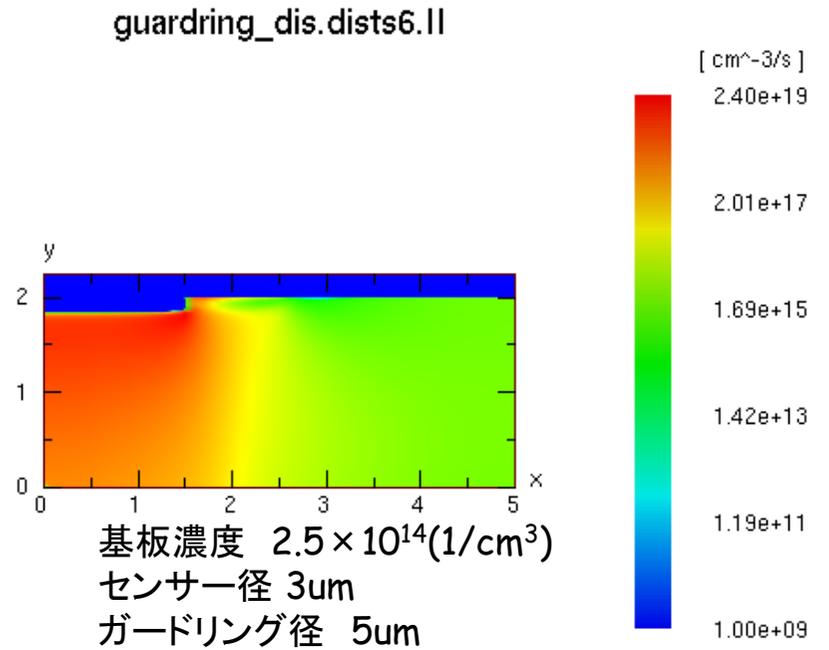
Upper Chip

APD

SOI APD Pixel構造の研究



不純物分布と衝突イオン化率の横方向分布



衝突イオン化率分布

Preliminary

まとめ

- SOI Pixelは放射線センサーと読み出しエレクトロニクスを一体化した理想的な放射線イメージセンサー。
- 多重散乱を引き起こす余分な物質がなく、高速、高分解能の測定を可能にする。
- ピクセル毎に高機能なデータ処理回路を搭載出来、従来不可能であったような計測を可能にする。
- 現在このようなプロセスを行えるのは、一部の研究所を除き、企業としてはOKIセミコンダクターのFD-SOIプロセスのみである。
- このため、日本国内はもとより世界各国の研究者がこのプロセスに興味をもっている。
- 出来るだけ多くのユーザーの希望を叶えるようなセンサーを開発して行きたいと思っていますので、ご協力をお願いします。